

UNIVERSIDADE FEDERAL DO RIO GRANDE DO NORTE  
PRÓ-REITORIA DE GRADUAÇÃO  
DIRETORIA DE DESENVOLVIMENTO PEDAGÓGICO  
DIVISÃO DE ACOMPANHAMENTO DOS CURSOS (11.03.05.03)

## PLANO DE CURSO ADAPTADO

CENTRO / DEPARTAMENTO / UNIDADE DE VINCULAÇÃO: <b>ESCOLA AGRÍCOLA DE JUNDIAÍ</b>
CÓDIGO E NOME DO COMPONENTE CURRICULAR: <b>TAD0123 – SISTEMAS DIGITAIS</b>
MODALIDADE DE OFERTA: <b>REMOTA</b>
SEMESTRE DE OFERTA: <b>2020.1</b>
TIPO DO COMPONENTE CURRICULAR: <b>DISCIPLINA</b>
CARGA HORÁRIA TOTA: <b>45 hs</b>
VAGAS: <b>43 (número de matriculados em 2020.1)</b>

EMENTA / DESCRIÇÃO
Funções e Portas lógicas; Formas de Representação de Circuitos (Tabelas verdade, Expressões Booleanas e Circuitos); Simplificação de Circuitos (Álgebra de Boole e Mapas de Karnaugh); Projeto de Circuitos Lógicos Combinacionais; Circuitos Codificadores/Decodificadores; Circuitos Aritméticos; Multiplexadores/Demultiplexadores; Circuitos Lógicos Sequenciais; Flip-Flops RS, JK, D e T; Registradores Simples e de Deslocamento; Contadores; Ambiente de Software EDA; Linguagem de Descrição de Hardware; Projetos e Simulação de Circuitos Combinacionais e Sequenciais utilizando HDL.

METODOLOGIA
Será utilizada a metodologia de ensino da Sala de Aula Invertida, em que os materiais de aula serão passados na forma de arquivos pdf e videoaulas previamente para os alunos, e no encontro síncrono semanal serão sanadas as dúvidas relativas ao conteúdo passado e o desenvolvimento das tarefas. A parte prática será realizada em nível de simulação com os simuladores Circuits Cloud (portas lógicas), TinkerCad (circuitos integrados) e Intel ModelSim (VHDL para FPGA). Será utilizada a ferramenta Google Classroom para publicação do material assíncrono (slides, e-books, videoaulas), além das tarefas a serem entregues pelos alunos. Para os encontros síncronos, será utilizado o Google Meet, com o apoio do Google Jamboard. Estes encontros síncronos serão realizados todas as sextas pela manhã, Caso haja a necessidade por parte da turma, novos encontros síncronos poderão ser agendados. A disciplina será reiniciada por uma revisão (compensação de conteúdo) para relembrar os conteúdos vistos no início do período 2020.1, e em cada unidade será aplicada uma avaliação individual no sistema Multiprova.

PROCEDIMENTOS DE AVALIAÇÃO DA APRENDIZAGEM
Será realizada uma avaliação contínua, a partir de tarefas como resolução de exercícios, simulação e criação de vídeo de explicação envolvendo 70% da nota de cada unidade. Os 30% restantes serão destinados para uma avaliação a ser disponibilizada no sistema Multiprova da Escola de Ciências e Tecnologia (ECT/UFRN). A assiduidade será registrada a partir da conclusão das tarefas por parte dos alunos.

CRONOGRAMA DE AULAS		
Data Inicial	Data final	Descrição
21/02/2020	28/02/2020	Apresentação da disciplina e Circuitos Lógicos (níveis lógicos 0 e 1; portas lógicas NOT, AND, OR, XOR, NAND, NOR e XNOR; obtenção de expressões lógicas a partir de circuitos e vice-versa; e obtenção de tabelas verdade a partir de expressões lógicas e vice-versa)
28/02/2020	28/02/2020	Universalidade das portas NAND e NOR
06/03/2020	06/03/2020	Prática no Laboratório de Eletrônica: portas lógicas e universalidade das portas NAND
13/03/2020	13/03/2020	Introdução a FPGA e VHDL (Hardwares reconfiguráveis; FPGA Cyclone II DE2 da Altera; Software Quartus II; Níveis de abstração comportamental e estrutural; Introdução a VHDL; Criação de projetos no Quartus II usando VHDL e Diagrama de Blocos), com prática no Laboratório de Eletrônica
24/08	04/09	Revisão do conteúdo visto presencialmente (compensação de conteúdo)
04/09	04/09	

05/09	11/09	Simplificação de Circuitos através de Álgebra de Boole
12/09	18/09	Simplificação de Circuitos com Mapas de Karnaugh
19/09	25/09	Projeto de Circuitos Lógicos Combinacionais
26/09	02/10	Códigos e Codificadores/Decodificadores
03/10	09/10	Decodificador BCD para Display de 7 Segmentos e Gerador e Testador de Paridade
10/10	16/10	Resolução de Lista de exercícios
16/10	16/10	Avaliação da 2ª unidade
17/10	23/10	Circuitos Aritméticos: Somadores e subtrator
24/10	30/10	Multiplexador e Demultiplexador
31/10	06/11	Circuitos Lógicos Sequenciais (Diferença entre lógica combinacional e sequencial; Latch; Flip-flops SR, JK, D e T; Entradas assíncronas)
07/11	13/11	Aplicações de Flip-Flops: Contadores Digitais e Registradores
14/11	20/11	Resolução de Lista de exercícios
21/11	27/11	Atividades com FPGA e VHDL
28/11	04/12	Atividades com FPGA e VHDL
04/12	04/12	Avaliação da 3ª Unidade
11/12	11/12	Avaliação final

- Apesar de não estar escrito na descrição, na medida em que o conteúdo de Eletrônica Digital vai se desenvolvendo, os circuitos vão sendo implementados em VHDL e simulados. Classes de objetos, principais tipos definidos, vetores, operadores, estruturas condicionais, região de código sequencial, sinal e variável, e estruturas de repetição são abordados no decorrer da disciplina.

AVALIAÇÕES		
Conforme já descrito nos Procedimentos de Avaliação da Aprendizagem, 70% da nota de cada unidade será distribuída a partir de tarefas ao longo da unidade (avaliação contínua) e 30% a partir de uma prova a ser disponibilizada no sistema Multiprova. A seguir, estão especificadas as datas destas avaliações.		
Data	Hora	Descrição
04/09	Das 00:00hs às 23:59hs	Avaliação da 1ª unidade
16/10	Das 00:00hs às 23:59hs	Avaliação da 2ª unidade
04/12	Das 00:00hs às 23:59hs	Avaliação da 3ª unidade
11/12	Das 00:00hs às 23:59hs	Avaliação final

REFERÊNCIAS
BIBLIOGRAFIA BÁSICA:
BONALDO, S. A. Técnicas Digitais. Escola Técnica Aberta do Brasil (e-TEC), 2009.
BIBLIOGRAFIA COMPLEMENTAR:
CARVALHO JUNIOR, R. Projetos de Eletrônica. Escola Técnica Aberta do Brasil (e-TEC) e PRONATEC, 2013.
FUENTES, R. C. Eletrônica. Escola Técnica Aberta do Brasil (e-TEC), 2009.