

UNIVERSIDADE FEDERAL DO RIO GRANDE DO NORTE
DEPARTAMENTO DE ENGENHARIA DE COMPUTAÇÃO E AUTOMAÇÃO
CURSO DE ENGENHARIA MECATRÔNICA

ADRIANA BENÍCIO GALVÃO

MÓDULO DE AQUISIÇÃO E REGISTRO DE SINAIS
ELETROENCEFALOGRAFICOS

NATAL-RN

2015

ADRIANA BENÍCIO GALVÃO

**MÓDULO DE AQUISIÇÃO E REGISTRO DE SINAIS
ELETROENCEFALOGRAFICOS**

Trabalho de Conclusão de Curso
apresentado ao Departamento de
Engenharia de Computação e Automação da
Universidade Federal do Rio Grande do
Norte como requisito parcial para obtenção
do título de Bacharel em Engenharia
Mecatrônica.

Orientador: Prof. Dr. George Carlos do
Nascimento.

NATAL - RN

2015

AGRADECIMENTOS

Agradeço, primordialmente, a Deus por todas as realizações em minha vida.

Agradeço, especialmente, ao professor George pelos direcionamentos que me foram dados, pelos ensinamentos, pela motivação para a realização deste projeto, pelos recursos disponibilizados, dentre várias outras significativas contribuições desde a concepção do projeto até sua implementação e documentação neste relatório.

Agradeço ao professor Gilvan pelas contribuições relacionadas à realização dos testes de aquisição de biosinais reais e disposição para ajudar.

Agradeço a minha mãe por me ensinar a encarar as dificuldades e pelo suporte dado, juntamente com minha irmã. Aos meus amigos por terem feito eu esquecer os afazeres por alguns momentos.

Agradeço a todos os professores do curso de Engenharia Mecatrônica que me orientaram e forneceram os conhecimentos necessários para a realização deste trabalho e para a minha formação acadêmica.

*“Guarda a minha alma, e livra-me;
não me deixes confundido, porquanto confio em ti.”*

Salmos 25:20

RESUMO

A atividade do cérebro gera biopotenciais que podem ser capturados por meio de eletrodos colocados no escalpo. O registro dos sinais obtidos, denominado Eletroencefalograma (EEG), é realizado em clínicas para diagnóstico e acompanhamento de pacientes, e possui grande potencial de aplicação em diversas áreas, por isso vem sendo utilizado em vários estudos. No entanto, o acesso a equipamentos de EEG apropriados para pesquisas e de baixo custo é ainda limitado. Nesse sentido, este trabalho tem a finalidade de desenvolver um protótipo de um módulo EEG com 8 canais de entrada, bom desempenho, baixo custo e características de baixo consumo de energia, para captura dos sinais característicos de EEG, os quais possuem baixíssima amplitude, entre 1 e 100 μ V, e frequência entre 0.1 e 30 Hz. Para tanto, será utilizado o CI ADS1298, que desempenhará as funções de amplificador e conversor analógico-digital dos sinais de entrada. Os sinais digitalizados poderão ser armazenados em um cartão de memória e/ou transmitidos a um computador, através de uma conexão USB, para visualização, registro final e análise por algum *software*, entre os quais o BrainBay, o qual possui várias ferramentas para processamento de sinais. As funções do módulo EEG serão controladas pelo usuário através de um aplicativo de celular ou computador, conectado ao módulo por bluetooth. O sistema é gerenciado por um microcontrolador MSP430, que tem como grande característica o baixo consumo de energia, contribuindo, desse modo, para o desenvolvimento posterior de uma versão portátil e compacta do módulo EEG - em placa de circuito impresso, alimentado por bateria e composto inteiramente de componentes com pequenas dimensões -, sem grandes modificações no *firmware*.

Palavras-chave: EEG, ADS1298, sinais, comunicação serial, bluetooth, microcontrolador.

ABSTRACT

The brain activity generates biopotentials that can be captured through electrodes placed on the scalp. The registration of the obtained signals, called electroencephalogram (EEG), is performed in clinics for diagnosis and patient monitoring, and has great potential for application in various areas, thus has been used in several studies. However, access to appropriate EEG equipment for research and low cost is still limited. In this sense, this work aims to develop a prototype of an EEG module with 8 input channels, good performance, low cost and low power consumption characteristics, to capture the characteristic EEG signals, which have very low amplitude, between 1 and 100 μV , and frequency between 0.1 and 30 Hz. For this, it will be used the IC ADS1298, which will perform the roles of amplifier and analog-to-digital converter for the input signals. The digitized signals may be stored in a memory card and/or transmitted to a computer via a USB connection for viewing, final registration and analysis by some software, among which the BrainBay, which has a number of tools for signal processing. The EEG module functions will be controlled by the user through a mobile application or computer, connected to the module via bluetooth. The system is managed by a MSP430 microcontroller, which has the great feature of low power consumption, thereby contributing to the further development of a portable and compact version of the EEG module - on printed circuit board, battery powered and composed entirely of small components - without major changes to the firmware.

Keywords: EEG, ADS1298, signals, serial communication, bluetooth, microcontroller.

LISTA DE FIGURAS

FIGURA 1	– Exemplos de ritmos EEG	18
FIGURA 2	– Sistema internacional 10-20.....	19
FIGURA 3	– Aquisição bipolar e monopolar.....	19
FIGURA 4	– Configuração do projeto proposto, por meio dos seus elementos.....	21
FIGURA 5	– Arquitetura interna do ADS1298.....	23
FIGURA 6	– Esquema de alimentação do ADS1298 com fonte unipolar.....	24
FIGURA 7	– Bloco de multiplexação de um único canal de entrada do ADS1298.....	25
FIGURA 8	– Circuito interno do PGA no CI ADS1298.....	28
FIGURA 9	– Diagrama de blocos funcionais do conversor A/D $\Delta\Sigma$	30
FIGURA 10	– Modulador $\Delta\Sigma$ de primeira ordem no domínio do tempo.....	30
FIGURA 11	– Formatação do ruído vs ordem do modulador $\Delta\Sigma$	31
FIGURA 12	– Resposta em frequência do filtro sinc.....	32
FIGURA 13	– Referência Interna.....	33
FIGURA 14	– Circuito equivalente de um eletrodo de biopotenciais em contato com um eletrólito, para metais com valência negativa e positiva, respectivamente.....	34
FIGURA 15	– Conexão de pinos entre o ADS1298 e o microcontrolador para a comunicação SPI.....	36
FIGURA 16	– Diagrama de tempo da interface serial no modo 1 de operação. O sinal de clock está ativo no nível alto, os dados são capturados na borda de descida e propagados na borda de subida.....	37
FIGURA 17	– Diagrama de tempo para execução do comando WREG.....	39
FIGURA 18	– Diagrama de tempo para a leitura de valores nos registradores.....	39
FIGURA 19	– Diagrama de tempo de inicialização do ADS1298. tRST é igual a $2 \cdot t_{CLK}$	42
FIGURA 20	– Fluxograma de inicialização do ADS1298.....	43
FIGURA 21	– Diagrama de tempo para leitura apropriada de dados.....	44
FIGURA 22	– DRDY, DOUT e SCLK na recuperação de dados.....	45
FIGURA 23	– Diagrama de blocos do temporizador.....	50
FIGURA 24	– UART simplificado: interface paralelo-serial e vice-versa.....	54
FIGURA 25	– Formato dos caracteres UART.....	54
FIGURA 26	– Conexão de pinos entre o MSP430 e o SD Card.....	56
FIGURA 27	– Diagrama de sequência do sistema embarcado desenvolvido.....	60
FIGURA 28	– Configuração típica de um sistema embarcado que utiliza o módulo FatFS.....	64
FIGURA 29	– Caracteres escritos em arquivo no cartão de memória.....	68
FIGURA 30	– Circuito para geração de sinal senoidal 10 Hz.....	70
FIGURA 31	– Sinal de teste conectado aos canais do ADS1298.....	71
FIGURA 32	– Sinal de teste visualizado no BrainBay.....	71
FIGURA 33	– Eletrodo e conectores utilizados.....	72
FIGURA 34	– Configuração básica do BrainBay para exibição de biosinal real em um canal de entrada.....	72
FIGURA 35	– Sinal característico de ECG (Eletrocardiograma).....	73
FIGURA 36	– Sinal obtido com os eletrodos nos pulsos.....	73
FIGURA 37	– EEG obtido com os pares de eletrodos diferenciais nas regiões Fp1 e F7 (gráfico superior) e Fp2 e F8 (gráfico inferior).....	74

LISTA DE TABELAS

TABELA 1	– Ganho do PGA (Programmable Gain Amplifier) versus largura de banda do menor sinal.....	27
TABELA 1	– Modos de comunicação SPI.....	37
TABELA 2	– Definições de comandos opcode.....	38
TABELA 3	– Bits do registrador CONFIG1.....	39
TABELA 4	– Diferentes taxas de saída de dados. Para DR[2:0] = 000 e DR[2:0] = 001, o dispositivo tem 17 e 19 bits de resolução, respectivamente, e 24 bits para os demais.....	40
TABELA 5	– Os 3 últimos bits do registrador CONFIG3.....	40
TABELA 6	– Mapeamento de bits dos registradores CHnSET (n = 1:8).....	41
TABELA 7	– Conteúdo da palavra de status.....	45
TABELA 8	– Códigos digitais de saída vs. amplitude dos sinais de entrada.....	46
TABELA 9	– Definição dos pinos para os diferentes formatos.....	56
TABELA 10	– Formato dos dados no OpenBCI V3.....	57
TABELA 11	– Características do dispositivo EEG miniaturizado. Os preços apresentados para alguns componentes foram consultados na Mouser Electronics em 10/12/15.....	76

LISTA DE SIGLAS

μV	Microvolts
A/D	Analógico/Digital
BCI	Brain-Computer Interface
CI	Circuito Integrado
CMRR	Common-Mode Rejection Ratio
CPU	Central Processing Unit
CRC	Cyclic Redundancy Check
dB	Decibéis
ECG	Eletrocardiograma
EEG	Eletroencefalograma
EMG	Eletromiograma
EMI	Eletromagnetic Interference
I2C	Inter-Integrated Circuit
LSB	Least Significant Bit
MSB	Most Significant Bit
mV	Milivolts
PGA	Programmable Gain Amplifier
PWM	Pulse Width Modulation
RAM	Random Access Memory
RFI	Radio Frequency Interference
SPI	Serial Peripheral Interface
SPS	Samples by second
UART	Universal Asynchronous Receiver/Transmitter

SUMÁRIO

1. INTRODUÇÃO.....	11
1.1 MOTIVAÇÃO.....	12
1.2 OBJETIVOS.....	13
1.3 PRODUTOS EXISTENTES.....	14
2. O ELETROENCEFALOGRAMA.....	16
2.1 CARACTERÍSTICAS DO EEG.....	16
3. CONFIGURAÇÃO DO PROJETO.....	20
4. INSTRUMENTAÇÃO PARA AQUISIÇÃO DO EEG.....	22
4.1 CANAIS DE ENTRADA ANALÓGICA.....	24
4.2 FILTROS EMI/RFI.....	24
4.3 MULTIPLEXADOR.....	25
4.4 AMPLIFICADOR DE GANHO PROGRAMÁVEL.....	26
4.5 CONVERSOR A/D DELTA-SIGMA.....	28
4.6 FILTRO DIGITAL E DE DECIMAÇÃO.....	31
4.7 CLOCK.....	33
4.8 REFERÊNCIA.....	33
5. COMPONENTES E CONFIGURAÇÕES DO HARDWARE.....	34
5.1 ELETRODOS.....	34
5.2 ADS1298.....	35
5.3 O MICROCONTROLADOR MSP430F5529.....	46
5.4 MÓDULO BLUETOOTH.....	52
5.5 CARTÃO DE MEMÓRIA.....	54
6. SOFTWARES AUXILIARES E INTERAÇÃO COM O USUÁRIO.....	57
7. FIRMWARE.....	59
8. VALIDAÇÃO E RESULTADOS.....	70
9. PROPOSTA FUTURA.....	75
10. CONSIDERAÇÕES FINAIS.....	77
REFERÊNCIAS.....	78
APÊNDICE 1 – PROTÓTIPO MONTADO.....	82
APÊNDICE 2 - ESQUEMA DE CONEXÕES DOS COMPONENTES COM OS PINOS DO LAUNCHPAD.....	83

1. INTRODUÇÃO

Após revolucionária descoberta de que o cérebro gera uma atividade elétrica capaz de ser registrada, simplesmente usando pequenos eletrodos de prata aplicados na superfície do couro cabeludo e conectados a um galvanômetro após uma pré-amplificação, em 1929 o alemão Hans Berger registrou pela primeira vez e passou a estudar os potenciais elétricos gerados pelo córtex cerebral em uma grande variedade de pessoas e animais sob diversas condições clínicas. Esses estudos permitiram concluir que diferentes ritmos cerebrais estão relacionados com o comportamento animal e, posteriormente, estados do ciclo do sono, por exemplo, passaram a ser correlacionados com diferentes estados do cérebro.

O registro da atividade elétrica do cérebro foi designado Eletroencefalograma (EEG) e possibilitou à neurociência a habilidade de demonstrar e documentar a atividade do cérebro, bem como reconhecer condições corticais patológicas, como diferentes formas de epilepsia. Atualmente, o EEG é largamente utilizado como ferramenta essencial tanto para pesquisa quanto para diagnóstico (NICOLELIS, 2011). Os equipamentos de monitoramento da atividade cerebral são usados em hospitais para auxílio em diversas questões clínicas, entre as quais a observação de doses de anestesia, epilepsia, estudos do sono, diagnósticos de coma e morte encefálica, investigação de anomalias cerebrais em geral, etc.

Contudo, os sinais elétricos provenientes da atividade do cérebro apresentam algumas dificuldades para serem medidos, pois são fracos, sensíveis e contaminados por ruídos e sinais de interferência. A frequência da rede elétrica, chaveamentos de potência e até sinais de eletromiograma (produzidos por movimentos musculares) interferem no EEG. Outro fator importante a ser observado é a impedância da pele que, em geral, deve ser reduzida para possibilitar a medição dos sinais (JAIN, 2012). Quando detectados no escalpo, os sinais têm amplitude entre 10 e 100 microvolts e largura de banda limitada entre 0.1 e 80 Hz, devido a características intrínsecas da fisiologia do cérebro. Assim, para que se obtenha um bom registro, a instrumentação do sistema de aquisição deve ser construída considerando-se as particularidades e dificuldades na medição dos sinais biológicos do cérebro.

1.1 MOTIVAÇÃO

Assim como alguns problemas cardiológicos, por analogia, anomalias neurológicas podem não ser diagnosticadas em exames simples (de tempo e ações limitadas do paciente), pois a quantidade de informações sobre a atividade cerebral pode não ser suficiente. Dessa forma, é importante, para um diagnóstico confiável, observar a atividade elétrica cerebral durante a realização de atividades rotineiras, como dirigir, assistir aulas, participar de atividades em grupo, trabalhar, etc. Nessa perspectiva, propõe-se desenvolver um protótipo de um dispositivo monitor, com funções semelhantes ao Holter (que registra os potenciais elétricos gerados pelo coração), capaz de guardar os sinais elétricos gerados no cérebro e suas variações durante 24 horas do dia ou mais, para que esse eletroencefalograma seja analisado, posteriormente, por um profissional da área neurológica. A ideia é que se tenha um protótipo de um dispositivo que será futuramente miniaturizado, com pequenas adequações, para ganhar portabilidade e poder ser usado tanto em crianças quanto em animais em diversas possibilidades de investigação da atividade do cérebro.

Os equipamentos de EEG de alta performance, utilizados nas clínicas, têm um custo relativamente alto, tornando a aquisição desse tipo de equipamento mais restrita, principalmente em países com recursos limitados e, conseqüentemente, encarecendo os exames e tratamentos relacionados. Além disso, tem-se observado certa dificuldade das universidades na realização de pesquisas sobre a utilização dos registros encefalográficos em aplicações diversas, devido à ausência de equipamento. Por sua vez, a falta de contato dos estudantes com o EEG tem prejudicado o aproveitamento em cursos como Instrumentação Biomédica, Interface Cérebro-Máquina, etc. Como consequência do desestímulo dos estudantes e pesquisadores, todo o potencial de aplicações do eletroencefalograma não tem sido explorado de forma que reflita uma melhor condição de saúde mental àqueles que necessitam de diagnósticos. Nesse sentido, o propósito deste trabalho abrange o desenvolvimento de um dispositivo de custo mais acessível em comparação aos utilizados rotineiramente em clínicas, com alto desempenho para que se torne útil na investigação de problemas neurológicos, acompanhamento médico, pesquisas diversas ou para ensino.

Há grande utilização do EEG no diagnóstico de epilepsia, na avaliação de coma, morte encefálica, intoxicações, encefalites diversas, síndromes demenciais, crises não epiléticas devido a distúrbios metabólicos e em tumores cerebrais (ABC.MED.BR, 2013). Não obstante, vasta é a quantidade de outras aplicações que estão surgindo, como a criação de neuropróteses, predição de crises de epilepsia, estudos cognitivos na Psicologia, Segurança no trânsito, Neuroeconomia e Neuromarketing. O módulo EEG desenvolvido neste trabalho terá ampla possibilidade de aplicações, inclusive nessas diversas áreas e, em particular, no estudo dos sonos e sonhos na Universidade Federal do Rio Grande do Norte.

1.2 OBJETIVOS

Para o desenvolvimento deste protótipo foram escolhidos componentes eletrônicos apropriados para que, na versão final, seu *hardware* se apresente de forma miniaturizada, leve e portátil. O protótipo deve ainda se apresentar flexível, do ponto de vista de desenvolvimento, para que os testes intermediários e verificações dos sinais elétricos que se tornem necessários sejam de fácil obtenção. O dispositivo final conterá na sua quase totalidade componentes eletrônicos de tecnologia SMD (*Surface Mounted Device*), sendo esta característica uma grande restrição na implementação do protótipo, trazendo com isso uma dificuldade adicional na correta conexão dos componentes no circuito.

O dispositivo proposto apresenta os seguintes objetivos técnicos:

- 1) Apresentar baixo custo final;
- 2) Possuir instrumentação simples e flexível para possíveis mudanças de programação e aplicação do dispositivo;
- 3) Apresentar baixo consumo de energia para que, posteriormente, possa ser alimentado por uma bateria de 3 volts;
- 4) Possuir armazenamento de dados em cartão de memória;
- 5) Ser facilmente configurável através de celular, tablet ou computador com bluetooth;
- 6) Tornar possível a apresentação dos sinais em tempo real em um computador padrão;

- 7) Possuir aquisição de dados com 8 ou mais canais, ter alto desempenho e fidelidade para com os sinais de origem.

Este trabalho está organizado em 10 capítulos. O capítulo 2 apresenta uma breve introdução ao encefalograma, os sinais característicos, origem e modos de aquisição dos biopotenciais. Alguns detalhes do projeto são especificados no capítulo 3, no qual constam os componentes de hardware que foram utilizados e como eles se relacionam. O capítulo 4 descreve o conjunto de elementos, incorporados em um único circuito integrado, que realiza todo o processo de aquisição e tratamento dos biosinais. Os demais componentes do sistema proposto são apresentados no capítulo 5. Os *softwares* utilizados pelo usuário final para enviar e receber informações do dispositivo são introduzidos no capítulo 6, bem como a especificação do formato e valores dos dados que possibilitam tal comunicação com o usuário. Por sua vez, no capítulo 7 encontra-se o fluxo de funcionamento do *firmware* e explica também a implementação de partes essenciais do programa, como inicialização e operação dos componentes gerenciados. Os resultados alcançados com o protótipo estão descritos no capítulo 8, assim como a metodologia utilizada para validar seu funcionamento. Finalmente, nos capítulos 9 e 10 encontram-se possibilidades futuras para este projeto e as considerações finais, respectivamente.

1.3 PRODUTOS EXISTENTES

Muito trabalho tem sido desenvolvido para demonstrar o potencial de utilização dos registros encefalográficos em diversas aplicações. Há grande esforço do mercado em tornar possível e mais comum os sistemas de Interface Cérebro-Computador (ou BCI - Brain Computer Interface). Alguns desses sistemas, por meio dos seus programas, reconhecem estados do cérebro e os utilizam para realizar tarefas, como movimentar um objeto em um jogo, por exemplo. Além disso, são capazes de apresentar alguma indicação do desempenho do cérebro quanto ao foco, nível de estresse, interesse e etc. Nessa categoria de sistemas, os quais não são apropriados para diagnósticos ou pesquisas, pode-se citar os headsets *NeuroSky MindWave* e *Emotiv Insight*, produzidos pelas empresas NeuroSky e Emotiv, respectivamente. Eles têm a característica de possuir um número pequeno de canais e acompanhar softwares com complexos algoritmos para interpretação dos sinais EEG.

A Emotiv oferece o headset *Emotiv Epoc*, diferenciado para pesquisas, que possui 14 canais; No entanto, as posições dos eletrodos são fixas no corpo do próprio equipamento, limitando de certa forma o seu uso. Dois projetos mais flexíveis, acessíveis e *open source* são o openEEG e o openBCI. O primeiro é um projeto antigo, que possui hardware bastante limitado e composto de componentes com tecnologia obsoleta; o segundo, por sua vez, utiliza a plataforma de hardware e software do arduino e possui funcionalidades bastante semelhantes às propostas neste trabalho. A placa está sendo comercializada por 449.99 dólares e pode ser usada para leitura da atividade cerebral (EEG), muscular (EMG) e cardíaca (ECG).

2. O ELETROENCEFALOGRAMA

Um eletroencefalograma (EEG) é um registro da atividade elétrica cerebral largamente utilizado para diagnósticos clínicos em patologias do cérebro. Seu estudo foi iniciado pelo neurologista alemão Hans Berger no ano de 1929, quando realizou o primeiro registro de sinais elétricos cerebrais através do crânio e do couro cabeludo e chamou de *Elektrenkephalogramm* humano. O trabalho de Berger deu continuidade às experiências pioneiras realizadas com animais por Richard Caton, em 1875, nas quais ele registrou pequenas variações de correntes elétricas no cérebro através do uso de eletrodos corticais posicionados no córtex e conectados a um galvanômetro. (PACHECO, 1999)

Grande parte do conhecimento atual sobre EEG foi, primeiramente, documentada por Berger. Ele fez uma extensiva investigação das características e propriedades do EEG humano e sua relação com a cognição e distúrbios neurológicos. Entre seus trabalhos, ele demonstrou que as ondas cerebrais obtidas podiam ser utilizadas como biomarcador de doença cerebral e descreveu, pela primeira vez, o EEG na epilepsia humana. Além disso, identificou características dos diferentes traçados do EEG e introduziu nomenclaturas que continuam sendo utilizadas atualmente na descrição clínica tradicional. (LOPES, 2005)

O EEG é uma técnica não-invasiva de aquisição de sinais cerebrais mais utilizada atualmente nas clínicas e muito útil para pesquisas sobre o estado funcional do cérebro, diagnóstico de epilepsia, doenças psiquiátricas, distúrbios do sono, avaliação de doenças neurológicas em geral (cefaleias, tumores e quadros vasculares), determinação de alentecimento focal e generalizado em lesões cerebrais, entre outros (CABOCLO, 2013).

2.1 CARACTERÍSTICAS DO EEG

Os sinais bioelétricos do cérebro refletem variáveis fisiológicas que podem evidenciar estados funcionais do cérebro e, portanto, se apresentam como uma forma de grande potencial para elucidar mecanismos do cérebro. As unidades geradoras dos sinais bioelétricos do cérebro registrados no EEG são provenientes principalmente dos neurônios do córtex, organizados em 6 camadas paralelas à superfície cortical. Os

efeitos iônicos sobrepostos de todas as células ativas produzem um campo elétrico que se configura no escalpo. Apesar da superposição do potencial dos neurônios individuais, potenciais elétricos podem ser identificados no escalpo devido à forma com que os neurônios estão organizados (KAISER, 2005). São potenciais elétricos extremamente fracos, captados através de eletrodos fixados no escalpo por meio de uma pasta eletrolítica condutora. Os sinais podem estar contaminados por elementos espúrios, conhecidos como artefatos, de fontes fisiológicas e não-fisiológicas, tais como movimentos voluntários, atividade cardíaca, piscar de olhos, ruído de linha, etc e, por isso, devem ser feitas remoções e filtragens desses artefatos antes de analisar o sinal de EEG (GODOI, 2010). Usualmente, eles medem entre $10\mu\text{V}$ e $100\mu\text{V}$ (mais comum entre 10 e $50\mu\text{V}$ nos adultos) com faixa de frequência entre 0.1Hz e 80Hz (WEBSTER, 2015). A densidade espectral de potência varia com o local do registro, idade, estado físico-emocional do paciente (PACHECO, 1999) e da sua atividade comportamental.

Apesar da aparente irregularidade dos sinais de EEG, diferente de outros sinais bioelétricos como o eletrocardiograma (ECG), existem atividades distintas do funcionamento cerebral normal que foram identificadas e denominadas ritmos (figura 1), caracterizados pela sua intensidade e banda de frequência.

- Ritmo delta: observado em crianças e em adultos durante estágios de sono profundo. Possui amplitude relativamente grande ($< 100\mu\text{V}$) e frequência entre 0.1 e 4Hz;
- Ritmo theta: apresenta-se, principalmente, em crianças ou adultos com sonolência. Sua frequência é da ordem de 4 a 8Hz;
- Ritmo alpha: surge em regiões cerebrais posteriores (lobo occipital), com frequência entre 8 e 13Hz, em indivíduos relaxados ou de olhos fechados;
- Ritmo mu: Consiste em oscilações entre 10 e 12Hz, presentes no córtex motor e sensório-motor. A amplitude muda conforme o indivíduo realiza movimentos;
- Ritmo beta: Observado em indivíduos acordados e conscientes. Possui frequência entre 13 e 30Hz. Esse ritmo também é sensível à realização de movimentos.
- Ritmo gama: Está relacionado a diversas funções motoras e cognitivas. Possui frequência maior que 30Hz.

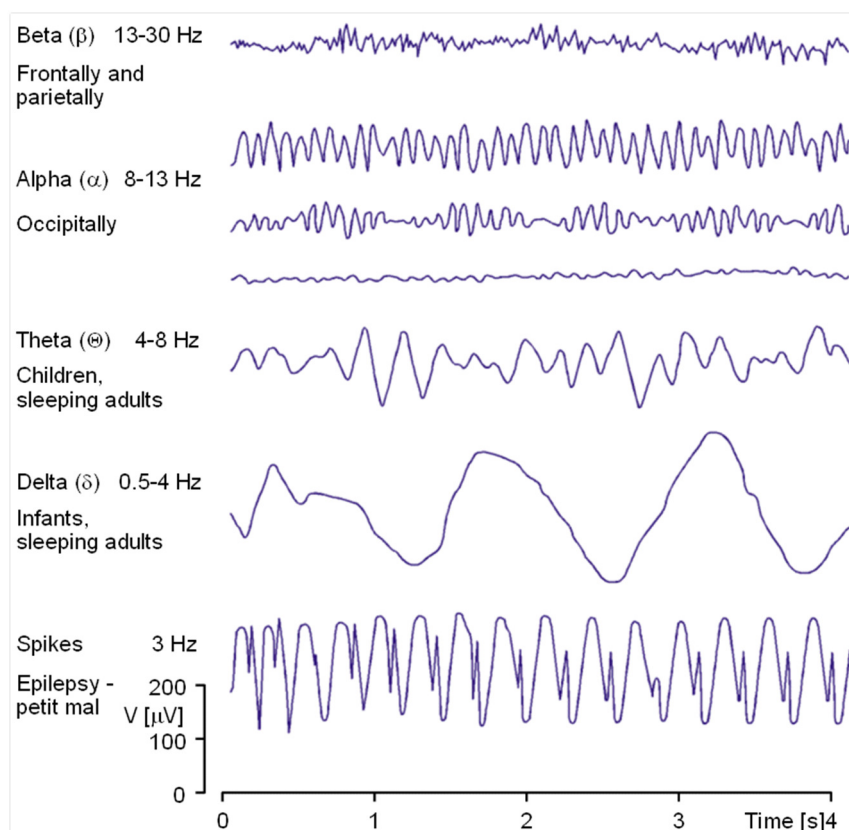


Figura 1 - Exemplos de ritmos EEG.
Fonte: (MALMIVUO; PLONSEY, 1995)

Para se obter informações sobre o estado da atividade cerebral por meio de seus ritmos, é necessário captar o sinal bioelétrico simultaneamente em diferentes áreas do escalpo, podendo ou não abranger os dois hemisférios. O sistema internacional 10-20 fornece uma padronização no posicionamento dos eletrodos para que, com isso, as informações registradas passem a ser sistematizadas e possam ser referenciadas em estudos comparativos. A figura 2 mostra a posição dos eletrodos neste sistema, as letras que denominam cada eletrodo indicam a sua posição no escalpo: P - parietal, F - frontal, Fp – Frontal polar, T - temporal, C - central, O - occipital e A - auricular. Os eletrodos colocados no hemisfério esquerdo recebem números ímpares, os colocados no hemisfério direito recebem números pares e os colocados sobre a linha central recebem o índice “z”. As distâncias entre os eletrodos, colocadas a cada 10 ou 20% da distância total entre um determinado par de marcos anatômicos (*nasion* – pequena depressão anatômica no topo do nariz nivelada com os olhos, *inion* – pequena proeminência óssea que existe na base do crânio na linha

3. CONFIGURAÇÃO DO PROJETO

O projeto consiste no desenvolvimento de hardware de aquisição, registro e transmissão das informações de EEG para um computador para posterior análise. O processo de aquisição inicial, no qual o sinal bioelétrico analógico é recebido, amplificado, filtrado e digitalizado, é realizado pelo amplificador de biopotenciais, disponível comercialmente, ADS1298 fornecido pela empresa Texas Instruments, contendo 8 canais de entrada. Tal circuito integrado possui incorporado amplificadores operacionais de ganho programável, conversores analógico digitais delta-sigma de 24 bits, interfaces de comunicação digital e outros circuitos periféricos. Para o seu funcionamento, é necessário um sistema eletrônico de controle que realizará a função de configuração, sincronismo das aquisições e obtenção dos sinais EEG de todos os canais, na sua forma digitalizada.

Neste trabalho, foi utilizado um microcontrolador da série MSP430, também da Texas Instruments, o qual tem como uma característica o baixíssimo consumo elétrico, sendo ideal para dispositivos alimentados por bateria. Uma placa de desenvolvimento oferecida pela empresa, conhecida como *launchpad*, permite programar e realizar o *debug* no microcontrolador, em específico o MSP430F5529, através da interface USB. O microcontrolador tem o papel de gerenciar o processo das aquisições e salvar os dados em um cartão de memória ou transferir tais informações para um computador através de sua porta USB (*Universal Serial Bus*) conectada ao *launchpad*. Como característica, a operação do sistema EEG se torna determinada através de uma conexão *bluetooth*, pela qual um *smartphone*, tablet ou computador poderá enviar diversos comandos entre os quais o de início e parada das aquisições dos sinais digitalizados, do armazenamento no cartão e transferência de dados via USB. Um resumo da organização geral desta arquitetura de hardware encontra-se na figura 4.

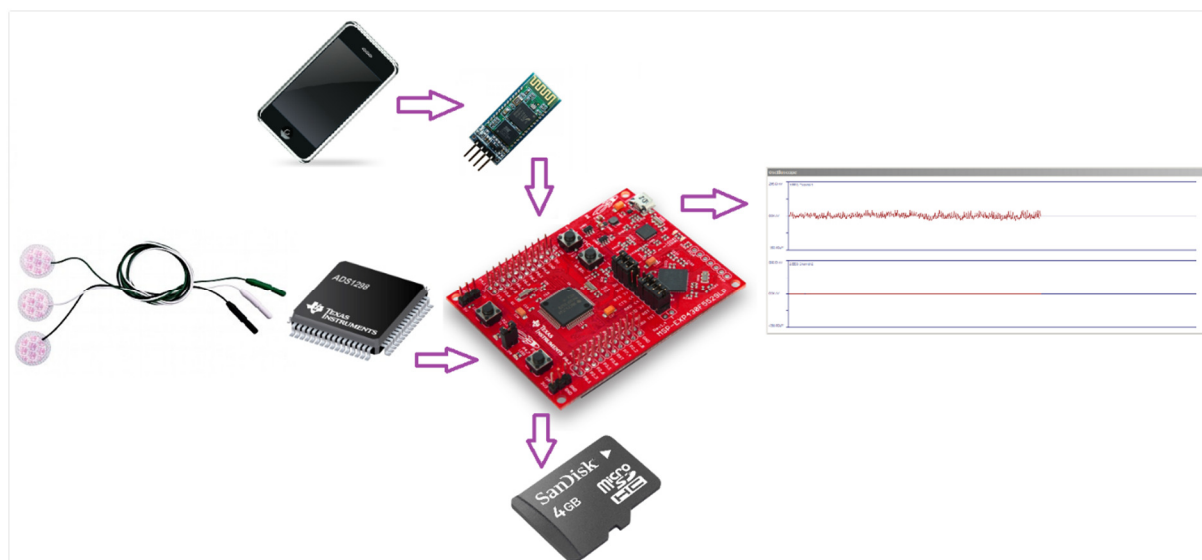


Figura 4 – Configuração do projeto proposto, por meio dos seus elementos.

4. INSTRUMENTAÇÃO PARA AQUISIÇÃO DO EEG

A instrumentação tem como base o uso do CI (Circuito Integrado) ADS1298, que é um circuito integrado de alto desempenho e integra funções comumente requeridas em aplicações médicas de eletroencefalograma, eletrocardiograma e eletromiograma. Ele proporciona escalabilidade, uma vez que o número de canais pode ser estendido acoplando vários CIs, baixo custo, baixo consumo de energia (0,75 mW por canal) e reduzidas dimensões aos sistemas de instrumentação. Na sua arquitetura, o processo de aquisição dos sinais bioelétricos é realizado pelo CI, por meio dos seus canais de entrada. Os sinais, após amplificados por amplificadores de ganho programável, são amostrados e digitalizados por conversores analógico-digitais delta-sigma em uma resolução de 24 bits, significando uma altíssima escala dinâmica para possíveis valores de entrada. Além disso, estes conversores fornecem os dados convertidos em uma taxa de saída configurável entre 250 SPS (amostras por segundo) e 32 kSPS. Além dos amplificadores e conversores A/D (analógico-digital) incorporados ao CI, ele contém uma referência interna de 2,4 V ou 4 V, um oscilador interno que gera um sinal de clock de 2,048 MHz, barramento SPI (*Serial Peripheral Interface*), dentre várias outras características.

A figura 5 exibe a arquitetura completa do ADS1298, cujos elementos serão descritos adiante, bem como algumas das suas características técnicas.

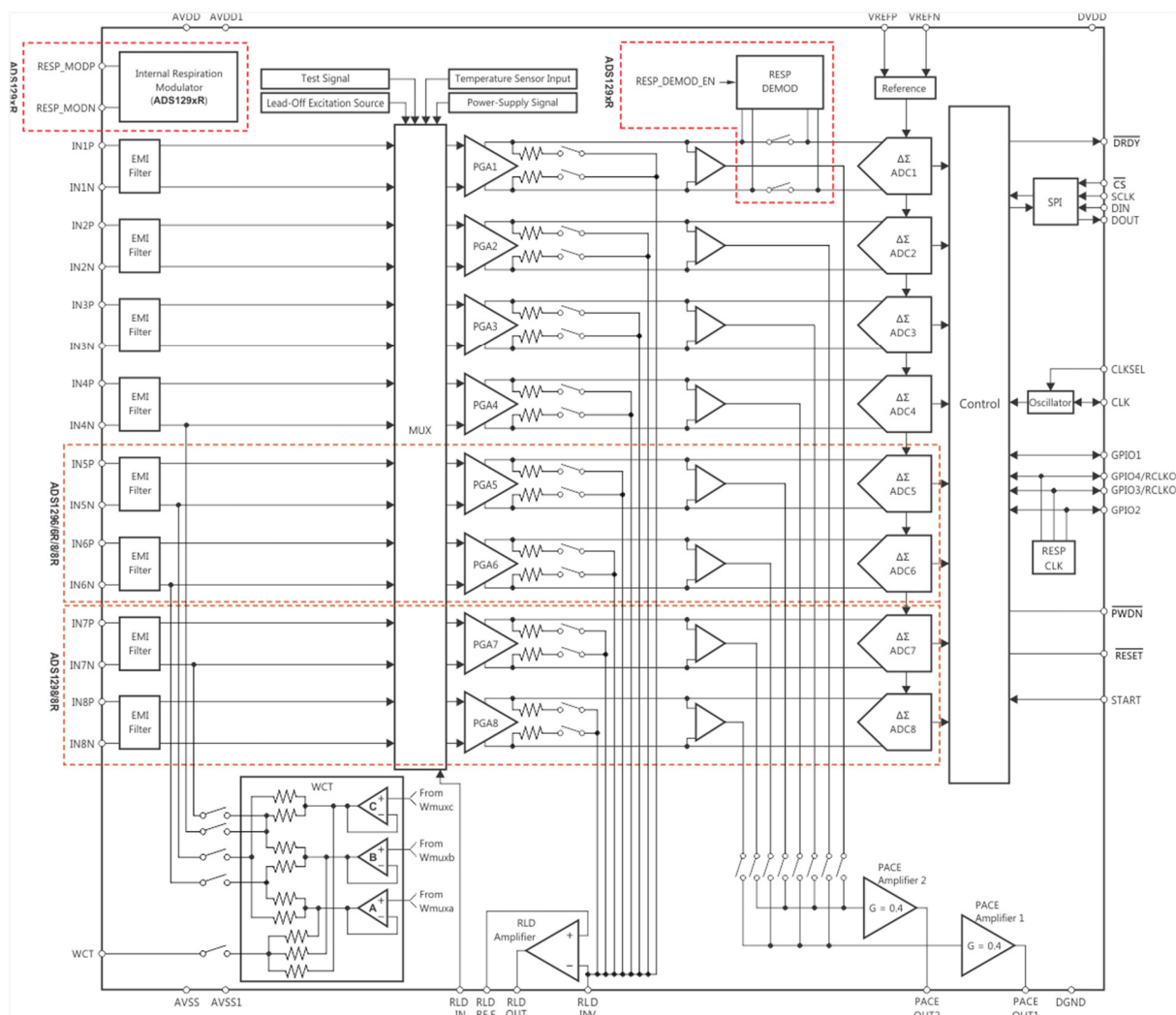


Figura 5 - Arquitetura interna do ADS1298.
Fonte: (TEXAS INSTRUMENTS, 2014)

O ADS1298 pode ser alimentado com tensão unipolar ou bipolar, sendo a tensão analógica entre 2,7 e 5,25V e digital entre 1,65 e 3,6V. Quando a alimentação analógica é de 3V, a referência interna é 2,4V e quando o chip é alimentado com 5V a referência é igual a 4V. A figura 6 abaixo, retirada do datasheet do ADS1298, exibe a alimentação do chip com fonte unipolar e componentes auxiliares recomendados para o circuito.

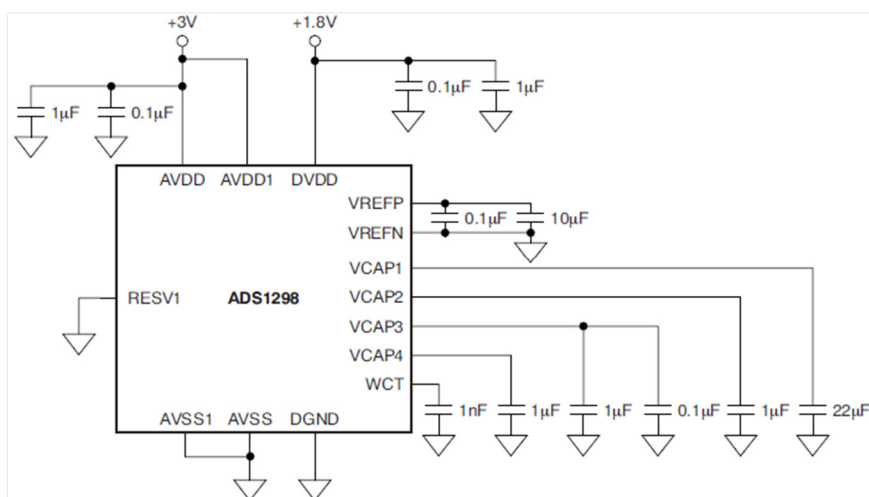


Figura 6 – Esquema de alimentação do ADS1298 com fonte unipolar.
Fonte: (TEXAS INSTRUMENTS, 2014)

4.1 CANAIS DE ENTRADA ANALÓGICA

Os canais de entrada analógica do ADS1298 são diferenciais. A entrada de tensão positiva é nomeada INP e a entrada negativa INN. A diferença $INP - INN$ pode variar entre $+V_{ref}/\text{ganho}$ e $-V_{ref}/\text{ganho}$, sendo V_{ref} a tensão de referência. Há dois métodos de entrada analógica do ADS1298: *single-ended* e diferencial. Para melhor desempenho, é recomendado que seja usada a configuração diferencial. Quando nessa configuração, a tensão de modo comum (MC) é dada por $(INP - INN)/2$. Ambas as entradas, INP e INN, variam de $MC + \frac{1}{2} V_{ref}$ a $MC - \frac{1}{2} V_{ref}$.

4.2 FILTROS EMI/RFI

A interferência eletromagnética (EMI) produzida por diversas possíveis fontes, tais como as de emissoras de rádio, televisão ou radar pode ser captada e retificada pelas junções semicondutoras dos circuitos integrados, e algumas vezes, pela interface eletrodo-eletrólito sobre o paciente. Os cabos e o paciente servem como antena e uma vez que o sinal é detectado, o sinal demodulado aparece como uma interferência no sinal de interesse (IAIONE, 2003). Os amplificadores de instrumentação usados em equipamentos de captação de biopotenciais são bastante sensíveis a interferências eletromagnéticas e de rádio frequência (RFI), por isso, é importante a filtragem desses sinais de alta frequência, podendo ser realizada por meio de filtros RC balanceados.

Os filtros são circuitos seletivos em frequência. Eles são projetados para permitir a passagem de algumas frequências e rejeitar outras (LOUIS & FRENZEL, 2013). O filtro RC em cada canal de entrada do ADS1298 age como um filtro EMI/RFI, passa-baixa, com largura da banda de passagem igual a, aproximadamente, 3MHz.

4.3 MULTIPLEXADOR

Um multiplexador permite selecionar uma entre várias entradas e conectá-la a uma única saída. O ADS1298 possui 8 multiplexadores bastante flexíveis, que proporcionam várias opções de sinais de entrada para cada um dos amplificadores de ganho programável de forma independente. Essa flexibilidade permite a calibração e configuração do dispositivo. A figura 7 exibe o bloco de multiplexação em um único canal de entrada.

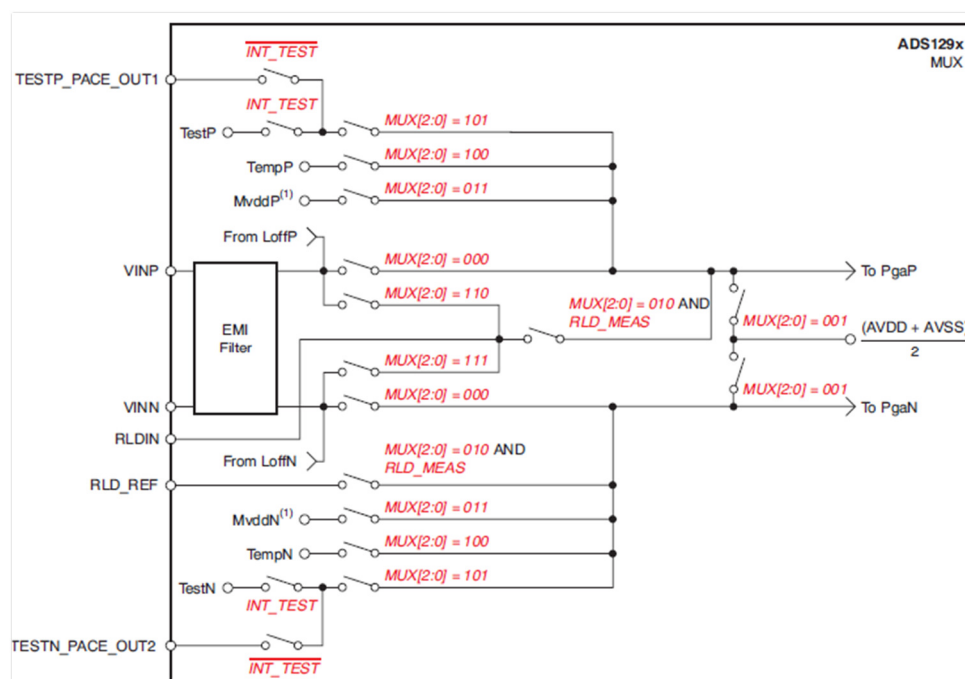


Figura 7 - Bloco de multiplexação de um único canal de entrada do ADS1298.
Fonte: (TEXAS INSTRUMENTS, 2014)

Os pinos TESTP_PACE_OUT1, TESTN_PACE_OUT2, RLD_IN e RLD_REF são comuns aos 8 blocos do dispositivo. VINP e VINN existem em cada um deles. As opções do multiplexador são:

- Entrada normal de eletrodo;
- Medição de ruído do dispositivo: nessa opção, a tensão de modo comum (AVDD-AVSS)/2 é atribuída a ambas as entradas do canal, permitindo que seja verificado o ruído inerente ao dispositivo no sistema do usuário;
- Canal de entrada auxiliar que mede o sinal no pino RLD_IN com relação ao pino RLD_REF;
- Medição da tensão de alimentação analógica nos canais 1, 2, 5, 6, 7 e 8, e tensão digital nos canais 3 e 4;
- Sensor de temperatura, o qual gera uma diferença de potencial proporcional à temperatura do dispositivo;
- Sinais de teste gerados internamente ou externamente. Os parâmetros amplitude e frequência do sinal gerado internamente podem ser configurados. Se o sinal for externo, ele é recebido nos pinos TESTP_PACE_OUT1 e TESTN_PACE_OUT2.
- Verificação de desconexão dos eletrodos na entrada positiva ou negativa.

4.4 AMPLIFICADOR DE GANHO PROGRAMÁVEL

O amplificador representa parte importante no sistema de instrumentação para aquisição de biopotenciais. Os amplificadores contidos no ADS1298 possuem a configuração do tipo amplificadores de instrumentação. O amplificador de instrumentação é um modelo desenvolvido através de um arranjo de amplificadores operacionais, envolvendo características distintas quando comparado a um amplificador operacional comum, como elevado CMRR (*Common Mode Rejection Ratio*), elevada impedância nas entradas, baixo offset e baixa corrente de bias (quiescente ou de repouso). Estes amplificadores possuem aplicações mais restritas, as quais em geral necessitam lidar com sinais de baixíssima amplitude, muitas vezes sobrepostos a um nível de tensão contínua comum ou presentes em ambientes ruidosos, e atuam como amplificadores de sinais em faixas específicas de frequência e ganho. Como característica, os amplificadores existentes no CI ADS1298 possuem entrada e saída diferenciais e 7 configurações de ganho que podem ser selecionadas programaticamente. A tabela 1 exibe os valores típicos de largura de banda (na temperatura ambiente) para os vários ganhos.

Ganho	Largura de Banda (kHz)
1	237
2	146
3	127
4	96
6	64
8	48
12	32

Tabela 12 – Ganho do PGA (*Programmable Gain Amplifier*) versus largura de banda do menor sinal.

Idealmente, quando dois sinais iguais (mesma amplitude, frequência e fase) são aplicados às duas entradas diferenciais de um amplificador operacional, não há alteração na tensão de entrada diferencial e nenhuma amplificação ocorre. No entanto, um amplificador real não apresenta tal perfeição, ou seja, existe uma tensão oriunda do sinal de modo comum e, portanto, um ganho associado. A razão entre o ganho de modo comum e o ganho de modo diferencial é conhecida como razão de rejeição em modo comum (CMRR), tipicamente representada em decibéis, e mede a capacidade do amplificador de rejeitar os sinais de modo comum. Dada a baixíssima amplitude dos biosinais em relação aos sinais que podem ser originados de diversas fontes presentes em um ambiente e afetam igualmente as entradas de um amplificador utilizado, é fundamental que o dispositivo tenha alta CMRR, a fim de minimizar o efeito da tensão em modo comum na saída. Um amplificador operacional típico pode ter uma CMRR entre 80 e 100 dB. Já um amplificador de instrumentação é projetado para ter uma alta impedância de entrada, geralmente por volta de 300 MΩ, um alto ganho de tensão e excelente CMRR, tipicamente maior que 100 dB (BOLTON, 2010). O PGA (*Programmable Gain Amplifier*) do ADS1298, figura 8, apresenta CMRR igual a 115 dB. Ele é composto de dois amplificadores operacionais, PgaP e PgaN, na configuração não inversora, conferindo alta impedância de entrada. O ganho total da entrada diferencial, formado por PgaP e PgaN, é dado por:

$$Ganho = \left(1 + \frac{2 \cdot R2}{R1}\right), \text{ ajustado através de } R1.$$

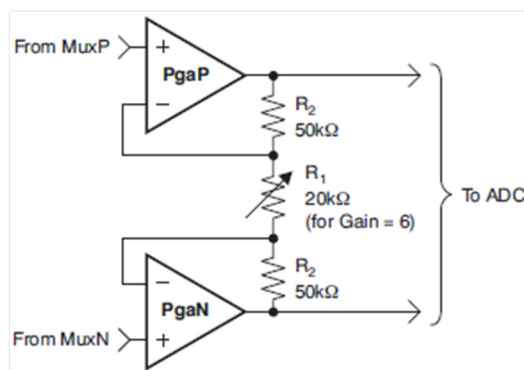


Figura 8 - Circuito interno do PGA no CI ADS1298.
Fonte: (TEXAS INSTRUMENTS, 2014)

4.5 CONVERSOR A/D DELTA-SIGMA

No processo de conversão A/D o sinal analógico $x(t)$ é convertido em uma sequência de códigos digitais $x[n]$, utilizando uma frequência de amostragem $f_s = 1/T$, sendo T o intervalo de tempo entre as amostras do sinal de entrada. A metade da frequência de amostragem é chamada frequência de Nyquist (f_n) e corresponde ao limite máximo de frequência do sinal analógico, estabelecido pelo Teorema de Nyquist, para que ele possa ser reproduzido a partir do sinal discreto obtido na amostragem (FONSECA & LIMA, 2005). Para evitar frequências acima do limite no sinal de entrada (devido a distorções, interferências, ruídos, etc) e consequente erro de *aliasing* (falseamento), geralmente são utilizados filtros passa-baixa anti-aliasing. A codificação do sinal discreto é realizada através de um processo de quantização no qual, dado o possível intervalo de variação do sinal de entrada dividido em 2^n níveis (em que n é o número de bits do conversor), cada qual representando um código binário entre 0 e 2^n-1 , o valor de cada amostra é arredondado para o nível de quantização mais próximo. A menor variação na entrada que resulta em uma variação na saída digital (mudança de nível) é denominada resolução (BOLTON, 2010), muitas vezes especificada pelo número de bits do conversor.

Por causa do arredondamento nos valores das amostras, é introduzido um erro no sinal digitalizado, denominado erro de quantização, muitas vezes referenciado como ruído de quantização. Quanto maior o número de bits utilizados para discriminar os diferentes valores analógicos, menor o ruído de quantização, dado que o intervalo entre os níveis (ou passo de quantização) é menor. Quando a quantização é linear

(intervalos igualmente distribuídos dentro da faixa de amplitude), o erro de quantização de uma amostra é, no máximo, igual a $\pm 1/2$ bit ou $\pm q/2$, sendo q o passo de quantização. Assim, assumindo um conversor A/D ideal, o erro entre a entrada analógica e sua forma digital pode ser considerado uma variável aleatória com possíveis valores no intervalo $(+q/2, -q/2)$, igualmente prováveis.

Para a maioria dos sinais fisiológicos, 8, 12 ou 16 bits de resolução dos dados são adequados para a representação dos sinais. Embora os dados de entrada possam ser adquiridos com resolução de 12 bits, resoluções maiores são usadas para evitar propagação de erros de arredondamento (DEVASAHAYAM, 2000).

Diferente dos convencionais conversores A/D, que operam na taxa de Nyquist e requerem o uso de filtros anti-aliasing complexos de alta ordem para limitar a frequência do sinal de entrada, a técnica de conversão A/D delta-sigma ($\Delta\Sigma$) usa um conversor A/D de baixa resolução (em geral, 1 bit), uma alta taxa de amostragem (em geral, 64 vezes a frequência de Nyquist) e formatação de ruído (*noise shaping*) (PARK, 1990). Em cada canal do ADS1298 está presente um conversor A/D $\Delta\Sigma$ de 24 bits.

Os conversores A/D $\Delta\Sigma$ (figura 9) são ideais para converter sinais analógicos em uma grande variedade de frequências. Basicamente, esses conversores são constituídos de um modulador delta-sigma (de sobreamostragem) seguido de um filtro digital e de decimação. O modulador amostra continuamente o sinal de entrada, convertendo-o em um *stream* de bits individuais. O filtro digital e de decimação converte esses dados amostrados em um código digital menor e mais preciso (com maior número de bits de resolução), posicionados na banda de frequência de interesse. Enquanto a maioria dos conversores tem uma única taxa de amostragem, o conversor $\Delta\Sigma$ tem duas – a taxa de amostragem de entrada (f_s) e a taxa de dados de saída (f_Δ). Além de digitalizar o sinal analógico de entrada, o modulador $\Delta\Sigma$ é responsável por reduzir o ruído de baixas frequências. Nesse estágio, a arquitetura implementa uma função chamada “*noise shaping*” que afasta o ruído de baixa frequência para frequências maiores, fora da banda de interesse (BAKER, 2011). *Noise shaping* é uma das razões pela qual os conversores $\Delta\Sigma$ são bastante adequados para medições de alta precisão.

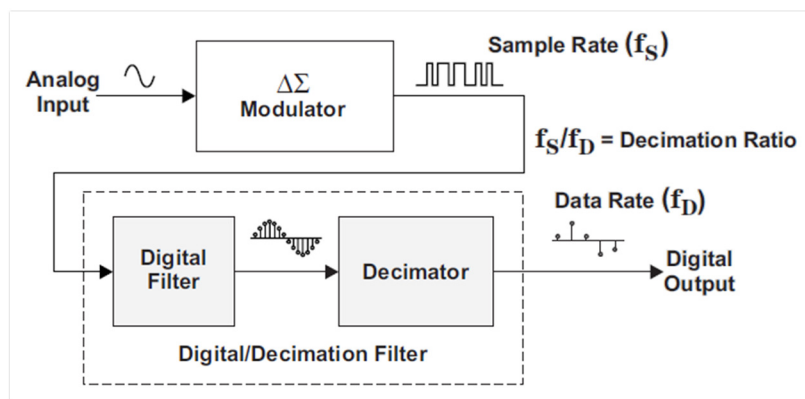


Figura 9 – Diagrama de blocos funcionais do conversor A/D $\Delta\Sigma$.
Fonte: (BAKER, 2011)

A figura 10 exibe o diagrama de blocos de um conversor $\Delta\Sigma$ de primeira ordem no domínio do tempo. O clock do modulador implementa a frequência de amostragem, f_s , junto com o comparador de 1 bit. Dessa forma, as amostras são quantizadas a uma taxa de amostragem igual ao clock do modulador, produzindo um stream de valores digitais (de 1 bit) que representam a tensão de entrada analógica. Os moduladores $\Delta\Sigma$ do ADS1298 amostram o sinal de entrada com frequência $f_{MOD} = f_{CLK}/4$ para alta resolução e $f_{MOD} = f_{CLK}/8$ para o modo de baixo consumo de energia, sendo f_{CLK} a frequência do clock do dispositivo.

O integrador incluído na arquitetura do modulador $\Delta\Sigma$ produz o efeito de formatação do ruído de quantização (afastamento para frequências maiores). A saída do modulador é igual à entrada mais o ruído de quantização, que é a diferença entre o erro de quantização atual (e_i) e o erro de quantização anterior (e_{i-1}).

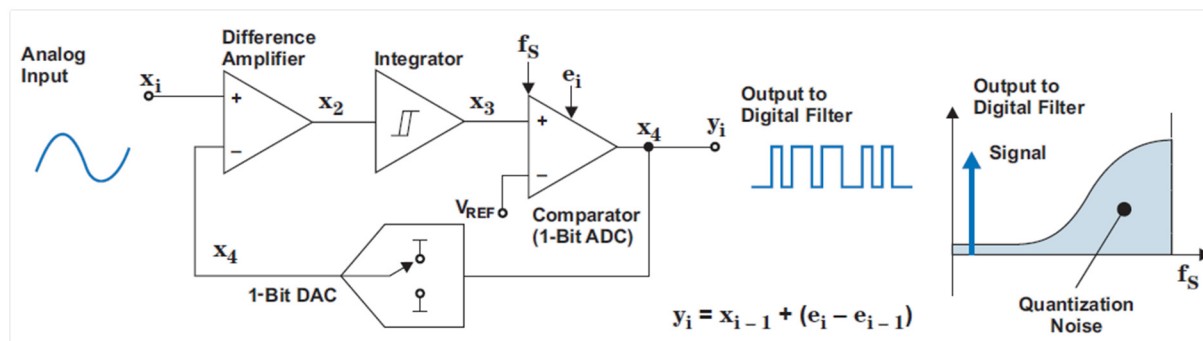


Figura 10 – Modulador $\Delta\Sigma$ de primeira ordem no domínio do tempo.
Fonte: (Modificado de BAKER, 2011)

O ruído de quantização para um modulador de primeira ordem inicia em 0Hz, cresce rapidamente, e então estabiliza em um valor máximo que é a frequência de amostragem (f_s). Moduladores de maior ordem, como o modulador de segunda ordem presente no ADS1298, também iniciam em zero, mas apresentam menor ruído de quantização na largura de banda de interesse, já que o circuito possui mais integradores. Na figura 11, pode-se observar que, abaixo de uma frequência f_D , o modulador de maior ordem apresenta menor nível de ruído. Essa é a frequência de conversão do filtro digital de decimação e passa-baixa.

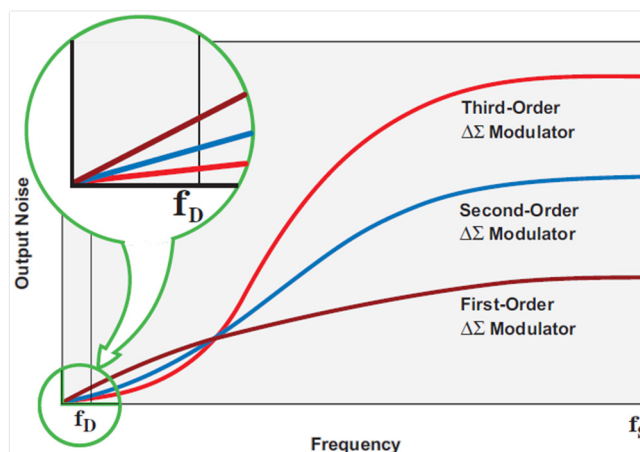


Figura 11 – Formação do ruído vs ordem do modulador $\Delta\Sigma$.
Fonte: (BAKER, 2011)

4.6 FILTRO DIGITAL E DE DECIMAÇÃO

As características indesejáveis da saída do modulador $\Delta\Sigma$ são o ruído de alta frequência e o excessivo número de amostras quantizadas com 1 bit. Uma vez que o sinal reside no domínio digital, podem ser usados um ou mais filtros que implementem a função de filtro digital passa-baixa e a função de filtro de decimação, usualmente implementadas na mesma circuitaria.

No domínio do tempo, a função filtro digital é responsável pela alta resolução do conversor. Já no domínio da frequência, o filtro digital se aplica como um filtro passa-baixa para o sinal, pois atenua o ruído de quantização do modulador (de alta frequência) reduzindo a largura de banda. Dessa forma, o sinal resultante é agora uma versão digital da entrada, com alta resolução, mas ainda com excessivo número de amostras, dada a alta taxa de amostragem do modulador, o que dificulta a

utilização dos dados por requerer alta capacidade de processamento (BAKER, 2011). A função de filtro de decimação (ou decimador), por sua vez, é implementada por um circuito de decimação que reduz a taxa de saída do sinal digitalizado. No ADS1298, a taxa de saída dos dados (f_D) é configurável. Como f_D é determinada pela função filtro de decimação, ela depende da taxa de decimação (DR – Decimation Rate), que pode ser definida como a razão f_{mod}/f_D , em que f_{mod} é a taxa de amostragem do modulador. Desse modo, um ajuste na taxa de saída dos dados significa um ajuste na taxa de decimação.

A função de filtro digital implementa um filtro passa-baixa primeiramente amostrando o *stream* de códigos de 1 bit do modulador. O filtro de média é a técnica de filtro mais comum usada em conversores $\Delta\Sigma$. A maioria incorpora uma classe de filtro chamada filtros sinc, assim nomeados por suas respostas em frequência (BAKER, 2011).

O filtro digital em cada canal do ADS1298 consiste em um filtro sinc de terceira ordem e taxa de decimação variável. A função transferência no domínio da frequência e o gráfico da resposta em frequência do filtro sinc são mostrados abaixo.

$$|H(f)| = \left| \frac{\sin\left(\frac{N\pi f}{f_{MOD}}\right)}{N * \sin\left(\frac{\pi f}{f_{MOD}}\right)} \right|^3 ; N = \text{taxa de decimação}.$$

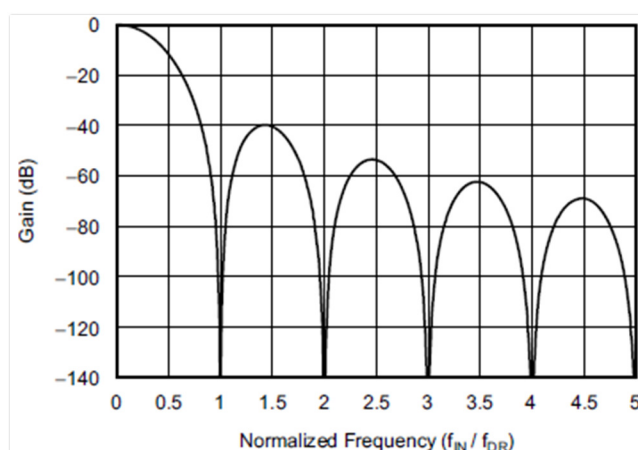


Figura 12 - Resposta em frequência do filtro sinc.
Fonte: (TEXAS INSTRUMENTS, 2014)

5. COMPONENTES E CONFIGURAÇÕES DO HARDWARE

5.1 ELETRODOS

Os eletrodos são os elementos que fazem a interface entre o escalpo e o amplificador de biopotenciais, funcionando como transdutores que convertem o potencial elétrico, proveniente das atividades iônicas no meio biológico, em correntes elétricas e, dessa forma, possibilita a captação dos sinais bioelétricos. Eles são compostos de metal que, em contato com o eletrólito (fluidos do corpo no escalpo e gel ou pasta condutora), desenvolvem uma tensão na interface metal-eletrólito devido à formação de uma camada de cargas elétricas na superfície do eletrodo e outra camada de cargas opostas no eletrólito (TYNER, 1983). Como a neutralidade de cargas não é mantida na região do eletrólito em contato com o metal, existe uma diferença de potencial elétrico entre a solução ao redor do metal e o restante. Tal diferença de potencial, estabelecida entre o metal e o eletrólito, é conhecida como potencial de meia célula e apresenta valores distintos para diferentes metais, considerando como referência padrão o eletrodo de hidrogênio. O potencial de meia célula existe em condições em que não há corrente elétrica entre eletrodo e eletrólito. Caso contrário, o eletrodo é polarizado e tal potencial é alterado. O modelo do circuito equivalente à interface eletrodo-eletrólito está representado na figura 14.

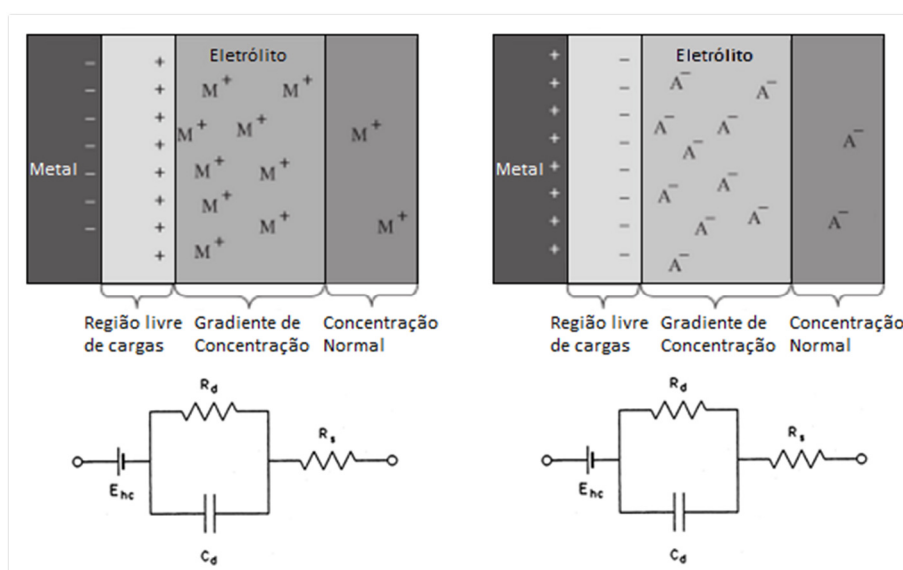


Figura 14 - Circuito equivalente de um eletrodo de biopotenciais em contato com um eletrólito, para metais com valência negativa e positiva, respectivamente.
Fonte: (Modificado de BUTTON, 2015)

A distribuição de cargas iônicas, representada como as duas camadas de cargas com polaridades opostas e separadas por uma região livre de cargas, se comporta como um capacitor, indicado por C_d . A resistência R_d em paralelo equivale à resistência associada à dupla camada, e R_s em série representa o efeito resistivo da variação na concentração de íons no eletrólito devido ao contato com o metal. A fonte de tensão contínua representa a tensão de meia-célula do metal usado no eletrodo, cuja polaridade depende de sua valência (BUTTON, 2015).

Ao selecionar eletrodos para uso, é importante observar sua composição e suas características quanto à polarização. O tipo mais usual de eletrodo em aquisições de sinais de EEG é o eletrodo de prata/cloreto de prata, devido às características de polarização, facilidade de fabricação e menor custo. Além do tipo de eletrodo, é válido observar a impedância da interface pele-eletrólito, pois em geral a pele humana age como fonte de impedância entre 10k e 100k ohms, valor esse que deve ser reduzido para abaixo de 5 ohms com o intuito de se obter um registro fiel de EEG (JAIN, 2012), podendo ser realizado mediante higienização prévia da pele, ou por intermédio do uso de abrasivos na pele.

5.2 ADS1298

O ADS1298 se comunica com o microcontrolador através de barramento SPI (Serial Peripheral Interface) (figura 15). SPI é uma especificação para interface de comunicação serial síncrona, comumente utilizada para troca de dados entre microcontrolador e pequenos periféricos, tais como sensores, cartões de memória, telas sensíveis ao toque, etc. Os dispositivos se comunicam utilizando a relação mestre/escravo, na qual um dispositivo central, o mestre, sempre inicia todas as comunicações com os escravos. O mestre seleciona um dos escravos para direcionamento das mensagens e gera um sinal de sincronismo, usando uma frequência suportada pelo escravo.

O padrão SPI especifica 4 sinais, a saber:

- O sinal de clock, nomeado SCLK (*Serial Clock*), enviado do mestre para todos os escravos; todos os sinais SPI são síncronos com o sinal de clock.

- Um sinal de seleção de escravo para cada escravo, SS (*Slave Select*) ou CS (*Chip Select*), usado para selecionar qual deles se comunicará com o mestre. Geralmente, o escravo é selecionado quando o sinal do pino se encontra no nível baixo.
- O sinal de dados do mestre para o escravo, MOSI (*Master Output Slave Input*).
- O sinal de dados do escravo para o mestre, MISO (*Master Input Slave Output*).

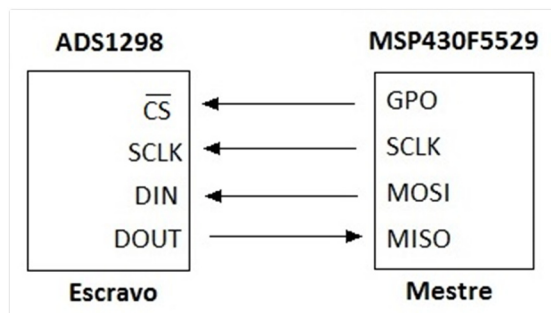


Figura 35 - Conexão de pinos entre o ADS1298 e o microcontrolador para a comunicação SPI.

Durante cada ciclo de clock SPI, ocorre uma comunicação *full-duplex*, ou seja, os dados são enviados em ambas as direções simultaneamente. Cada bit enviado do mestre para o escravo ocasiona em um bit na direção inversa, ainda que a transmissão somente em um das direções seja relevante. O mestre envia um bit através do sinal MOSI e recebe outro, proveniente do escravo, através do sinal MISO. Geralmente, as transmissões envolvem dois registradores de deslocamento com um determinado tamanho de palavra (8 bits, por exemplo). Após deslocados e transmitidos/recebidos todos os bits do registrador do mestre para o registrador do escravo, e vice-versa, os registradores são recarregados e o processo se repete, até que o mestre finalize a transmissão, parando de gerar os sinais de clock.

Dois parâmetros da comunicação SPI, chamados polaridade (CPOL) e fase (CPHA) do clock, determinam a borda do sinal de clock na qual os dados são liberados e aquela na qual os dados são capturados. CPOL e CPHA admitem dois valores possíveis, o que permite 4 modos de comunicação, como mostra a tabela 2. O par mestre-escravo deve operar no mesmo modo para que a comunicação seja possível.

Modo SPI	CPOL	CPHA	Sinal de Clock	Captura de Dados
0	0	0	Ativo no nível alto	Na transição para o nível de clock ativo (borda de subida)
1	0	1	Ativo no nível alto	Na transição para o nível de clock ocioso (borda de descida)
2	1	0	Ativo no nível baixo	Na transição para o nível de clock ativo (borda de descida)
3	1	1	Ativo no nível baixo	Na transição para o nível de clock ocioso (borda de subida)

Tabela 13 - Modos de comunicação SPI.

O ADS1298 funciona no modo SPI 1, cujo diagrama de tempo dos sinais da interface pode ser representado como segue na figura 16.

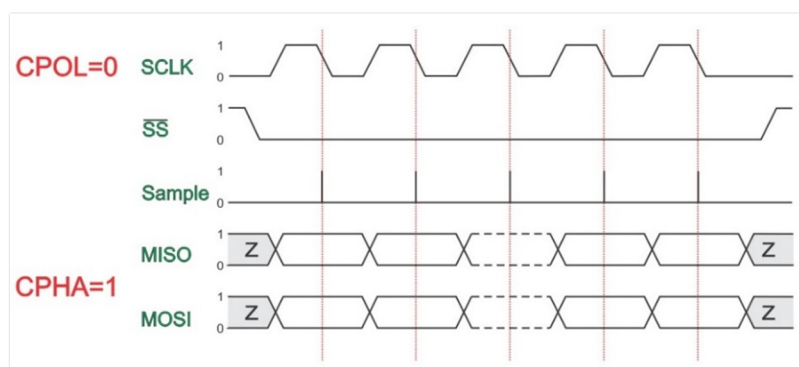


Figura 16 – Diagrama de tempo da interface serial no modo 1 de operação. O sinal de clock está ativo no nível alto, os dados são capturados na borda de descida e propagados na borda de subida.
Fonte: Google Imagens.

Configuração: Vários comandos, classificados em três tipos, podem ser enviados ao ADS1298 através da interface serial para controlar e configurar seu funcionamento, como mostra a tabela 3. Um tempo equivalente a 4 vezes o clock do dispositivo ($4 t_{CLK}$) é requerido pela interface para decodificar e executar cada byte de comando. Dessa forma, considerando o uso do clock interno, cuja frequência é de 2,048 MHz, o tempo de decodificação de um byte é aproximadamente 1,96 μs . Assim, na utilização de um sinal SCLK (clock da interface serial) de 8 MHz, por exemplo, que possibilita a transferência de um byte em 1 μs , um *delay* mínimo de 0,96 μs deve existir para que outro byte possa ser adequadamente decodificado.

Comando	Descrição	1º Byte	2º Byte
Comandos de Sistema			
WAKEUP	Retira do modo <i>sleep</i> (de baixo consumo de energia).	0000 0010	
STANDBY	Entra no modo <i>sleep</i> . Todo o circuito é desligado, exceto a referência.	0000 0100	
RESET	Reinicia o ciclo do filtro digital e retorna todos os registradores aos seus respectivos valores padrão. Requer $18 \cdot t_{CLK}$ para execução.	0000 0110	
START	Inicia/reinicia (sincroniza) as conversões.	0000 1000	
STOP	Pára as conversões. Se houver conversão em andamento, ela é finalizada normalmente.	0000 1010	
Comandos de Leitura de Dados			
RDATA	Habilita o modo de leitura contínua de dados.	0001 0000	
SDATAC	Desativa o modo de leitura contínua de dados.	0001 0001	
RDATA	Lê dados disponíveis (uma única vez).	0001 0010	
Comandos de Leitura/Escrita de Registradores			
RREG	Lê n $nnnn + 1$ registradores a partir do endereço r $rrrr$.	001 r $rrrr$	000 n $nnnn$
WREG	Escreve em n $nnnn + 1$ registradores a partir do endereço r $rrrr$.	010 r $rrrr$	000 n $nnnn$

Tabela 14 – Definições de comandos opcode.

A programação do ADS1298 é realizada escrevendo nos seus registradores por meio do comando WREG. É importante destacar que, uma vez no modo de leitura contínua, é necessário enviar ao dispositivo o comando SDATAC (Stop Read Data Continuous) antes de qualquer outro comando. No diagrama de tempo para escrita em registradores do dispositivo, representado pela figura 17, os dois primeiros bytes recebidos através do pino de entrada de dados, DIN, correspondem aos opcodes especificados na tabela 3 para o comando WREG, e a 17ª borda de subida do sinal SCLK acompanha o valor do bit mais significativo (MSB) para o primeiro registrador.

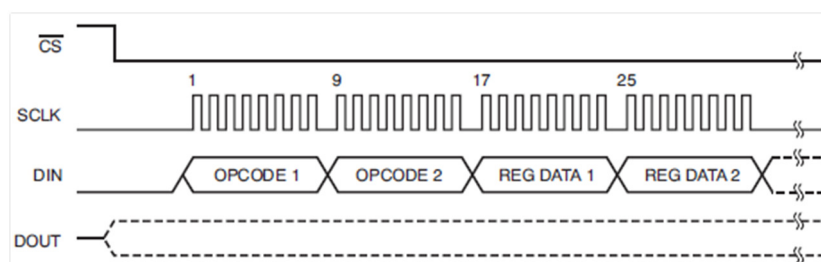


Figura 47 - Diagrama de tempo para execução do comando WREG.
Fonte: (TEXAS INSTRUMENTS, 2014)

A leitura dos valores nos registradores ocorre de forma semelhante (figura 18).

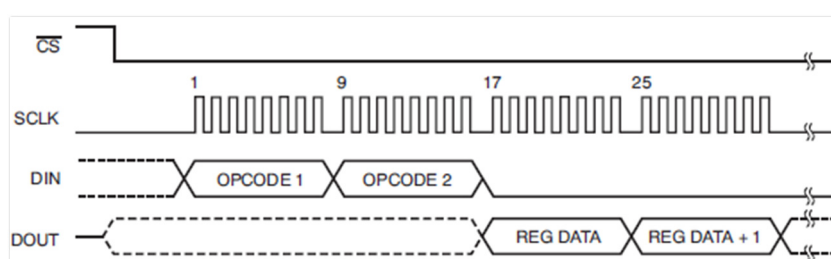


Figura 18 - Diagrama de tempo para a leitura de valores nos registradores.
Fonte: (TEXAS INSTRUMENTS, 2014)

As principais configurações do ADS1298 incluem seu modo de operação (alta ou baixa resolução), frequência de saída dos dados, tensão de referência, ganho dos amplificadores, função do multiplexador interno e origem do sinal de clock. Excetuando esta última configuração, todas elas são determinadas por meio de registradores, os quais serão descritos a seguir:

- O registrador ID é somente leitura, programado durante a fabricação do chip, e contém informações sobre a família e número de canais do dispositivo.
- CONFIG1 define o modo de operação, origem do sinal de clock e frequência de saída dos dados, como mostra a tabela 4, referente ao mapeamento de bits do registrador.

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
HR	DAISY_EN	CLK_EN	0	0	DR2	DR1	DR0

Tabela 15 - Bits do registrador CONFIG1.

HR determina se o dispositivo funciona no modo de alta resolução (1) ou baixa potência (0 - padrão); DAISY_EN habilita o modo de chips encadeados (0 – padrão)

ou único chip com múltiplas leituras quando fornecidos sinais de clock adicionais (1); CLK_EN determina se o sinal gerado pelo oscilador interno será conectado ao pino CLK (1) e; DR[2:0] indica a taxa de decimação do conversor A/D $\Delta\Sigma$, ou seja, a taxa de saída dos dados, conforme a tabela 5, sendo $f_{MOD} = f_{CLK}/4$ ($f_{CLK} = 2,048$ MHz) para o modo de alta resolução e $f_{MOD} = f_{CLK}/8$ para o modo de baixa potência.

DR[2:0]	TAXA DE DADOS	MODO DE ALTA RESOLUÇÃO	MODO DE BAIXA POTÊNCIA
000	$f_{MOD}/16$	32k SPS (samples)	16k SPS
001	$f_{MOD}/32$	16k SPS	8k SPS
010	$f_{MOD}/64$	8k SPS	4k SPS
011	$f_{MOD}/128$	4k SPS	2k SPS
100	$f_{MOD}/256$	2k SPS	1k SPS
101	$f_{MOD}/512$	1k SPS	500 SPS
110 (padrão)	$f_{MOD}/1024$	500 SPS	250 SPS

Tabela 16 - Diferentes taxas de saída de dados. Para DR[2:0] = 000 e DR[2:0] = 001, o dispositivo tem 17 e 19 bits de resolução, respectivamente, e 24 bits para os demais.

- CONFIG 3 é o registrador usado para configurar a referência.

BIT 7	BIT 6	BIT 5
PD_REFBUF	1	VREF_4V

Tabela 17 - Os 3 últimos bits do registrador CONFIG3.

O bit PD_REFBUF determina o estado do buffer de referência interna, habilitado quando igual a 1 e desabilitado se for igual a 0 (padrão); VREF_4V indica o valor da tensão de referência (VREFP), que pode ser 2,4 V, quando o bit é 0 (padrão), ou 4 V (usado apenas quando a tensão analógica de alimentação é igual a 5 V) se for igual a 1.

- No registrador CONFIG 4 é possível determinar se o ADS1298 inicia no modo de conversão contínua de dados (0 – padrão) ou no modo *single-shot* (1). No modo *single-shot* o dispositivo libera dados de uma amostra do sinal de entrada para cada comando RDATA recebido.

- Os registradores CHnSET, onde $n=1:8$, são usados para configurar cada um dos canais de entrada individualmente. O mapeamento de bits pode ser visualizado na tabela 7.

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
PD	GANHO2	GANHO1	GANHO0	0	MUXn2	MUXn1	MUXn0

Tabela 18 - Mapeamento de bits dos registradores CHnSET ($n = 1:8$).

PD (power-down) determina se o canal funcionará normalmente (0 - padrão) ou se estará desligado (1); GANHO[2:0] define o ganho do PGA (*Programmable Gain Amplifier*), como segue: 000 para ganho 6 (padrão), 001 - ganho 1, 010 - ganho 2, 011 - ganho 3, 100 - ganho 4, 101 - ganho 8 e 110 - ganho 12; Os bits MUXn2, MUXn1 e MUXn0 (n = número do canal) selecionam uma das 8 possíveis configurações do multiplexador do canal, assim determinando sua entrada. O valor padrão do conjunto MUXn[2:0] é 000 e corresponde à entrada de eletrodo.

Inicialização: No datasheet do ADS1298 é recomendado que, ao energizar o dispositivo, todos os sinais nos seus pinos permaneçam no nível baixo até que os sinais das fontes de energia se estabilizem. Após isso, o sinal do clock pode começar a ser fornecido ao pino CLK (seja pelo oscilador interno ou externo). Em seguida, o dispositivo requer os tempos t_{POR} e t_{BG} (em paralelo) para receber corretamente um pulso ou comando RESET, os quais iniciam as funcionalidades digitais do dispositivo. t_{POR} e t_{BG} correspondem ao tempo igual a 2^{18} vezes o período do clock do dispositivo (t_{CLK}) e o tempo de carga do pino VCAP1 (dependente da constante de tempo RC – figura 13, com relação à referência interna) até 1,1V, respectivamente. O diagrama de tempo de inicialização está representado na figura 19.

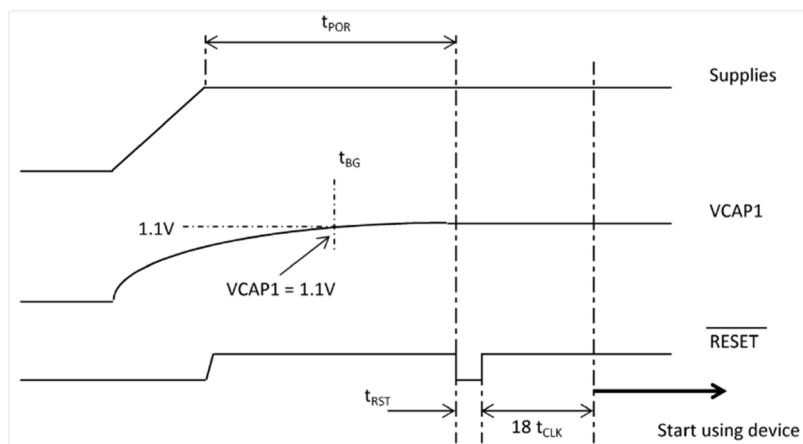


Figura 59 - Diagrama de tempo de inicialização do ADS1298. t_{RST} é igual a $2 \cdot t_{CLK}$.
 Fonte: (TEXAS INSTRUMENTS, 2014)

O procedimento completo para configurar o ADS1298 no modo de captura contínua de dados, a partir de sua energização, pode ser representado pelo diagrama da figura 20, adaptado do datasheet do dispositivo.

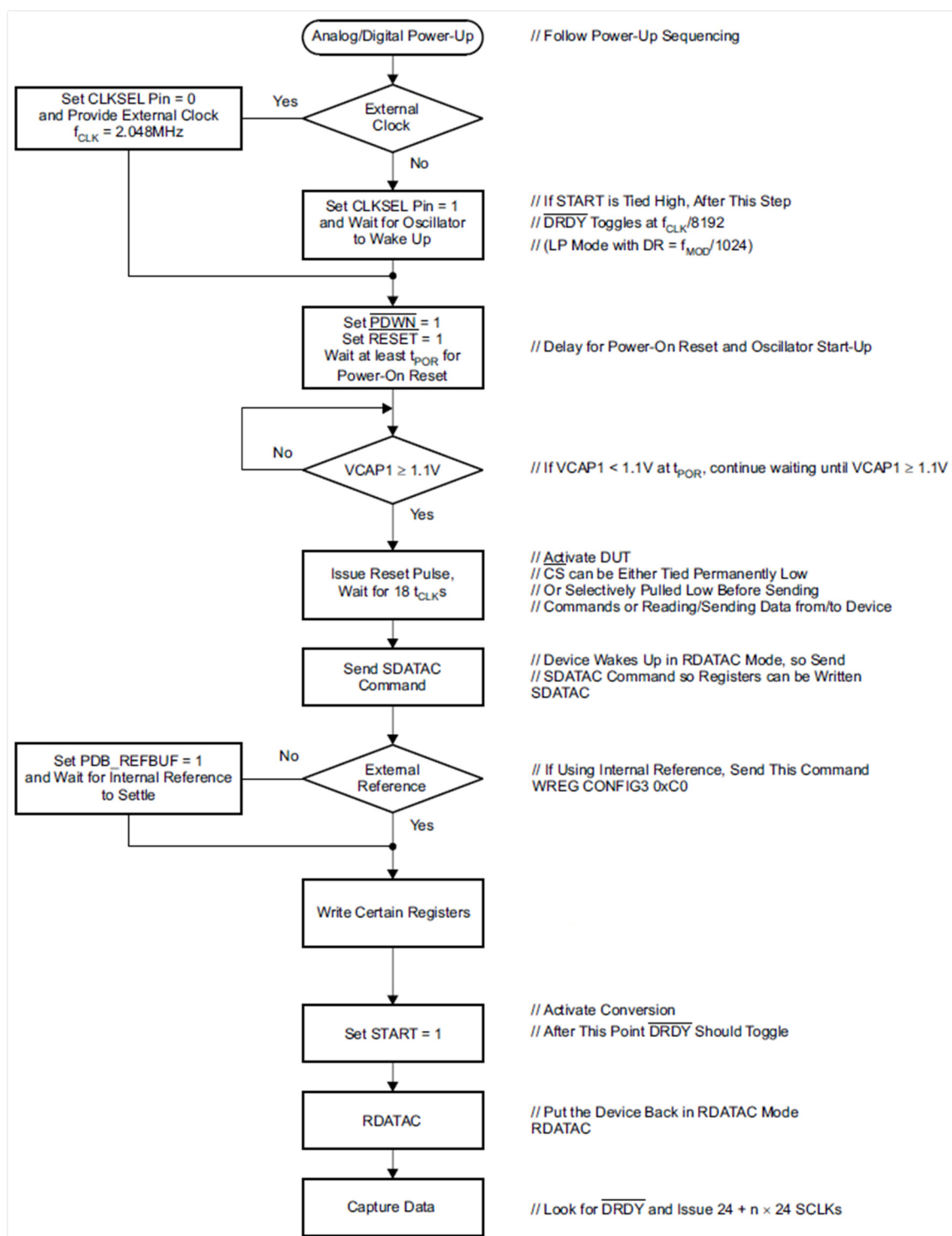


Figura 20 - Fluxograma de inicialização do ADS1298.
Fonte: (Modificado de TEXAS INSTRUMENTS, 2014)

Aquisição de Dados: No processo de aquisição de dados, o ADS1298 permanece em um estado de conversão contínua dos sinais de entrada e consequente disponibilização dos dados digitalizados. Os pinos START (ou comando START) e DRDY são usados nesse processo. O primeiro é um pino de entrada usado para habilitar/desabilitar as conversões, controlado pelo microcontrolador, enquanto o segundo é um pino de saída, normalmente no nível alto de sinal, que ao transitar de alto para baixo, indica a existência de nova conversão pronta para ser lida. A primeira transição, ou borda de descida, ocorre após um tempo requerido pelo filtro do conversor A/D, que depende de f_{CLK} (frequência do clock), da taxa de decimação (determinada pela taxa de saída de dados) e do modo de operação. Outra observação é que o filtro leva 3 períodos (equivalente a 3 pulsos DRDY) para acomodar um novo valor dada alguma modificação no sinal de entrada. (TEXAS INSTRUMENTS, 2014)

A leitura de dados pode ser realizada através de dois métodos: utilizando o comando RDATA para receber os dados continuamente (a cada borda de descida do pulso DRDY), ou utilizando o comando RDATA para ler apenas uma saída de dados cada vez que o comando for enviado. Nesse último, não haverá corrupção de dados caso a leitura ainda esteja em andamento quando ocorrer o próximo pulso DRDY. Por padrão, o dispositivo inicia no modo de leitura contínua (primeiro método). Vale ressaltar que dados referentes aos sinais de entrada somente estarão disponíveis se as conversões forem iniciadas, através do comando ou pino de entrada START. Caso contrário, os pinos DOUT e DRDY irão se comportar de forma semelhante. A figura 21 exibe a forma recomendada de envio do comando RDATA e apropriada leitura de dados.

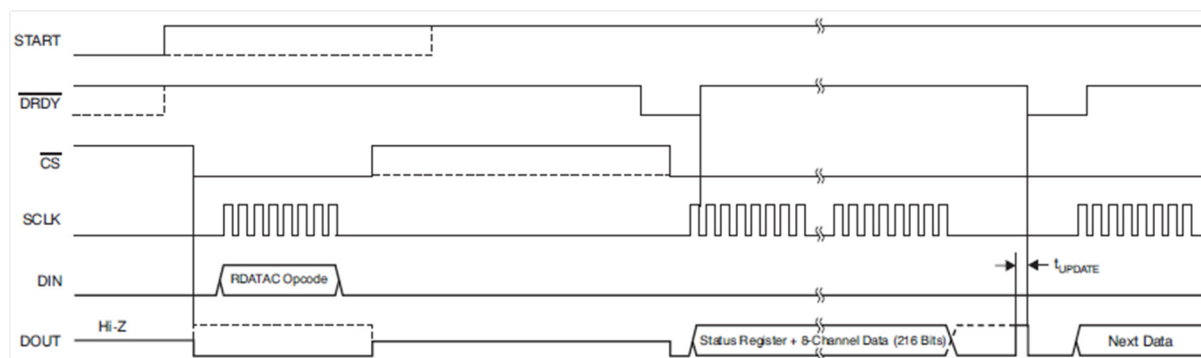


Figura 61 - Diagrama de tempo para leitura apropriada de dados.
Fonte: (TEXAS INSTRUMENTS, 2014)

Os dados convertidos são recebidos através do pino DOUT. Na primeira borda de descida de SCLK, DRDY retorna ao nível alto. Os dados são transmitidos em complemento de dois com o bit mais significativo (*Most Significant Bit - MSB*) primeiro. Os bytes iniciais correspondem à palavra de STATUS do dispositivo (3 bytes), os seguintes correspondem aos dados dos canais na ordem sequencial (canal 1, canal 2, ..., canal 8), sendo 3 bytes por canal. Desse modo, o número total de bits é: 24 bits de status + 24 bits por canal * 8 canais = 216 bits. A figura 22 exibe a relação entre DRDY, DOUT e SCLK durante a recuperação de dados.

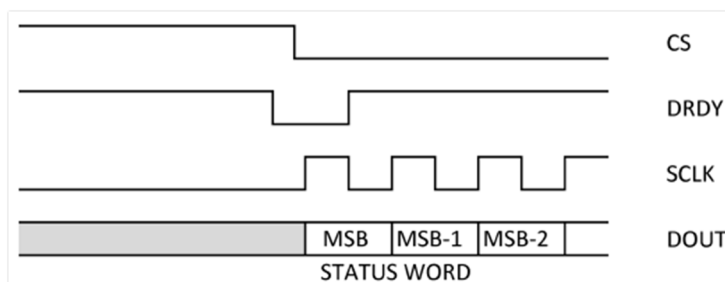


Figura 72 – DRDY, DOUT e SCLK na recuperação de dados.
Fonte: (TEXAS INSTRUMENTS, 2014)

A palavra de status possui 24 bits e contém os valores para LOFF_STATP e LOFF_STATN, que indicam se o contato elétrico no eletrodo foi perdido, e parte dos registradores GPIO, como mostra a tabela 8.

1	1	0	0	FAULT_STATP[7:0]	FAULT_STATN[7:0]	GPIO[7:4]
---	---	---	---	------------------	------------------	-----------

Tabela 19 - Conteúdo da palavra de status.

A palavra do canal de dados representa o valor em volts (V) do sinal posto na entrada, que pode ser determinado através da seguinte fórmula:

$$V = \frac{V_{ref}}{ganho * (2^{23} - 1)} * valor\ recebido_{decimal};$$

onde $V_{ref} = 2.4\text{ V}$ para a alimentação de 3V.

A tabela abaixo mostra os códigos de saída para diferentes sinais de entrada, considerando ganho 1, somente válido para taxa de dados com 24 bits de resolução (DR[2:0] diferente de 000 e 001).

SINAL DE ENTRADA	CÓDIGO DE SAÍDA (IDEAL)
$\geq V_{REF}$	7FFFFFFh
$V_{REF} / (2^{23} - 1)$	000001h
0	000000h
$-V_{REF} / (2^{23} - 1)$	FFFFFFh
$\leq -V_{REF} / (2^{23}/2^{23} - 1)$	800000h

Tabela 20 - Códigos digitais de saída vs. amplitude dos sinais de entrada.

5.2 O MICROCONTROLADOR MSP430F5529

O microcontrolador MSP430F5529 foi escolhido para este trabalho, haja vista seu baixo consumo de energia, baixo custo e alto desempenho. A família MPS430, desenvolvida pela Texas Instruments (TI), é composta de microcontroladores com arquitetura de Von Neumann, que incorporam uma CPU RISC de 16 bits, periféricos e um sistema flexível de clock (RANIEL, 2011). A CPU possui barramentos distintos para endereços, dados e controle. O barramento de dados, assim como o barramento de endereços, possui 16 bits, o qual contribui para o alto desempenho do MSP430, juntamente com a simplicidade das instruções e os diversos modos de endereçamento. O conjunto de instruções é formado por 27 instruções físicas e 24 emuladas (variações das 27 instruções que utilizam geradores de constantes), totalizando 51 instruções. A CPU possui 16 registradores, dos quais, quatro (R0 a R3) correspondem ao contador de programa, ponteiro de fila, registrador de status e gerador de constantes, respectivamente. Os demais registradores são de propósito geral.

O MSP430F5529 funciona com clock de até 25 MHz, possui 128KB de memória flash e 10 KB de memória RAM (8KB + 2KB para USB), suporta USB 2.0, possui 4 timers de 16 bits, um conversor analógico-digital de 12 bits, duas interfaces de comunicação serial universal (USCI), controlador de acesso direto à memória, módulo de relógio de tempo real e 63 pinos de uso geral. Abaixo, algumas informações relacionadas ao uso desse microcontrolador.

Características Elétricas: O MSP430 pode operar com tensões entre 1,8 e 3,6 V. Como dito anteriormente, essa família de microcontroladores tem a característica do baixo consumo. O MSP430F5529 consome cerca de 195 μ A/MHz em funcionamento normal, 2,5 μ A para funcionamento no modo de relógio de tempo real e 0,1 μ A para

retenção de dados na RAM. Ele possui um módulo de gerenciamento de energia (PMM) que gerencia todas as funções relacionadas ao fornecimento de energia para o dispositivo. O PMM usa um regulador de tensão (LDO) para produzir uma tensão de núcleo secundário (V_{CORE}) através da tensão primária aplicada ao dispositivo (DV_{CC}). Em geral, V_{CORE} alimenta a CPU, memórias (flash e RAM) e os módulos digitais, enquanto DV_{CC} alimenta as entradas e saídas (I/O) e todos os módulos analógicos. A saída V_{CORE} é programada até 4 níveis distintos para fornecer somente a potência necessária para a velocidade da CPU escolhida, melhorando, assim, a eficiência de energia do sistema (TEXAS INSTRUMENTS, 2014).

Oscilador e Sistema de Clock: O MSP430 possui um sistema unificado de clock (UCS) que usa três sinais de clock internos, podendo o projetista selecionar a melhor alternativa para melhor desempenho e baixo consumo de energia. O módulo UCS pode ser configurado para operar com até 5 fontes de sinais:

- XT1: Oscilador de alta ou baixa frequência que pode ser usado com cristais de 32768 Hz, ressonadores ou fontes de clock externas entre 4 e 32 MHz;
- VLO: Oscilador interno de baixa potência e baixa frequência (geralmente entre 12kHz e 20kHz);
- REFO: Oscilador interno de baixa frequência (tipicamente 32768 Hz);
- DCO: Oscilador interno controlado digitalmente. Sua frequência máxima é 25 MHz;
- XT2: Oscilador de alta frequência opcional que pode ser usado com cristal de alta frequência, ressonadores ou fontes de clock externas entre 4 e 32 MHz. É necessário para USB.

O módulo USC inclui hardware FLL (*frequency locked loop*) digital, o qual tem o papel de ajudar a estabilizar a frequência do DCO para um determinado múltiplo (escolhido programaticamente) de uma tensão de referência do hardware. Três sinais de clock estão disponíveis no módulo UCS: ACLK (Auxiliary Clock), utilizado por periféricos e disponível externamente através de pino; MCLK (Master Clock), que é o sinal de clock do sistema usado pela CPU; e SMCLK (Subsystem Master Clock), também utilizado por periféricos. Todos os sinais podem ser escolhidos como XT1CLK, REFOCLK, VLOCLK, DCOCLK ou XT2CLK e podem ser divididos por 1, 2, 4, 8, 16 ou 32.

Modos de Operação: Os modos de operação representam a habilidade de escalar o uso de potência do MSP430 desligando parte do microcontrolador. Cada LPM (*Low Power Mode*) subsequente desliga mais módulos que o anterior. A intenção é permitir que seja utilizada apenas a potência necessária. São 6 modos possíveis escolhidos programaticamente. Geralmente, coloca-se o microcontrolador em modo de baixa potência com interrupções ativas para que, no evento da interrupção, o dispositivo seja explicitamente colocado no modo de operação normal, execute determinadas instruções e, em seguida, volte ao modo de baixa potência.

Watchdog Timer: A principal função do módulo *watchdog timer* (WDT_A) é realizar a reinicialização do sistema após ocorrer problema de software, como loop infinito, por exemplo. Se a função *watchdog* não for necessária na aplicação, este periférico pode ser configurado como temporizador. Sempre que o microcontrolador é reiniciado, o *watchdog* começa uma contagem que, ao atingir um determinado limite, ocasiona a reinicialização do MSP430. Logo, é necessário que o programa do microcontrolador contenha, inicialmente, a instrução de parada do *watchdog timer*.

Entradas e Saídas Digitais: Cada pino associado a uma entrada ou saída digital pode ser configurado e controlado através de registradores de 8 bits, sendo cada bit do registrador correspondente a um pino individual. Os pinos podem ser configurados como entrada (configuração padrão) ou saída e alguns podem ser usados para gerar interrupções. Abaixo, a descrição dos registradores mencionados:

- Registradores de Entrada (PxIN): São somente leitura e refletem o valor do sinal de entrada em cada pino.
- Registradores de Saída (PxOUT): Determinam o valor de saída nos pinos.
- Registradores de Direção (PxDIR): Selecionam a direção de cada pino (entrada ou saída).
- Registradores de Resistor *Pullup/Pulldown*: Habilitam ou desabilitam o resistor *pullup/pulldown* no pino correspondente.
- Registradores de Seleção de Função (PxSEL): Usados para selecionar a função do pino – porta de entrada/saída ou função módulo de periférico.

Os registradores seguintes são usados para configurar e controlar interrupções somente nas portas que podem gerar interrupções. Em específico, as portas P1 e P2 na família MSP430x5xxx de microcontroladores.

- Registradores de Habilitação de Interrupção (PxIE): Habilitam interrupções através dos pinos correspondentes aos bits iguais a 1.
- Registradores de Seleção de Borda de Interrupção (PxIES): Determinam se a interrupção ocorrerá na borda de subida ou descida do sinal no pino.
- Registradores de Flags de Interrupção (PxIFG): Indicam se a requisição de uma interrupção gerada já foi atendida ou ainda está pendente.

Interrupções: Uma interrupção consiste em um evento que interrompe o fluxo normal de um programa para que a CPU passe a executar uma subrotina (ISR ou *Interrupt Service Routine*) em resposta a ele. As interrupções são, geralmente, usadas em aplicações que necessitam executar algo rápido e prioritário, em relação ao código principal, quando determinada condição ocorre. Elas devem ser tratadas de tal forma que a execução do código interrompido possa retomar sem erros ao ponto em que estava anteriormente. Podem ser geradas por diferentes módulos do MSP430, como módulos de E/S (Entrada/Saída), conversão analógica-digital, temporizadores, etc (LITOVSKY, 2012). Em cada módulo há um bit específico para habilitar a interrupção e uma *flag* que indica quando ela é gerada. A maioria das interrupções são mascaráveis, o que significa que elas somente ocorrerão se, necessariamente, o bit específico do módulo e o bit GIE (*General Interrupt Enable*) no registrador de status (SR) forem iguais a 1. As interrupções não-mascaráveis, por sua vez, não podem ser suprimidas quando GIE é igual a 0.

O MSP430 usa interrupções vetorizadas, ou seja, o endereço de cada ISR é armazenado em uma tabela de vetores em determinado endereço da memória. Na maioria dos casos, cada vetor é associado a uma única fonte de interrupção, mas algumas compartilham o mesmo vetor (DAVIES, 2008). Cada vetor tem uma prioridade distinta determinada pelo seu endereço: quanto maior o endereço, maior sua prioridade. O datasheet do MSP430F5529 especifica os endereços dos vetores de interrupção, as fontes de interrupção para cada vetor (módulos do microcontrolador), o tipo (mascarável ou não-mascarável) das interrupções, flag de ativação e etc.

Timer A: É o temporizador mais versátil, de propósito geral e presente em todos os dispositivos da família MSP430 (DAVIES, 2008). Seu hardware tem dois blocos principais: o bloco temporizador e os canais de captura/comparação, como pode ser visualizado na figura 23.

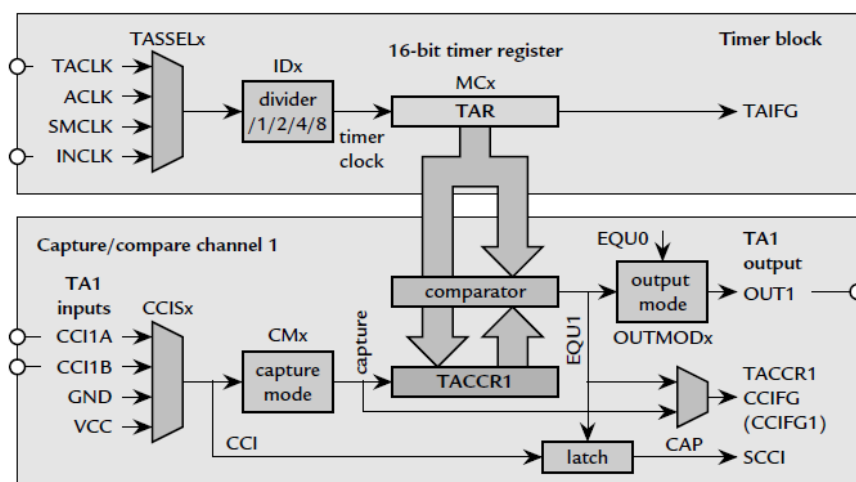


Figura 83 – Diagrama de blocos do temporizador.
Fonte: (DAVIES, 2008)

O bloco temporizador é baseado no registrador de 16 bits TAR (contador). Seu funcionamento requer a determinação do sinal de clock (e divisor de frequência igual a 2, 4 ou 8, se necessário), podendo ser ACLK ou SMCLK, gerados pelo sistema de clock ou por sinais externos TACLK e INCLK. O contador TAR pode operar de três formas diferentes: (PAULINO, 2012)

- Modo crescente: conta de 0 até o valor armazenado em TACCR0 (registrador de captura/comparação do canal 0), reiniciando a contagem na próxima transição de clock.
- Modo contínuo: conta de 0x0000 até 0xFFFF, reiniciando a contagem ao ocorrer *overflow* do registrador TAR.
- Modo crescente/decrescente: conta de forma crescente até o valor armazenado em TACCR0 e, então, decresce até 0, reiniciando o processo.

O bloco temporizador não tem nenhuma saída, mas possui uma flag de interrupção que indica quando o contador retorna a 0. Os canais de captura/comparação geram eventos com base no registrador TACCRn (em que n indica o número do canal). No

modo de captura, TACCRn armazena o “tempo” (valor em TAR) no qual ocorre uma mudança na entrada. No modo de comparação, um sinal de saída é gerado, ou uma interrupção é acionada, quando o valor de TAR atinge o valor especificado em TACCRn. O modo de comparação é o modo padrão dos canais. Uma flag do canal indica a ocorrência da captura/comparação esperada e uma interrupção mascarável é requisitada se estiver habilitada.

Interface de Comunicação Serial Universal (USCI): O MSP430 possui duas interfaces de comunicação serial universal distintas: USCI_A e USCI_B, que suportam modos de comunicação assíncrona e síncrona, respectivamente. No MSP430F5529, existem dois módulos USCI_A (USCI_A0 e USCI_A1) e dois USCI_B (USCI_B0 e USCI_B1).

O módulo USCI_A pode agir como transmissor/receptor assíncrono universal (UART) para comunicação RS232, pode detectar a taxa de transmissão do sinal de entrada, permitindo o uso em rede local interconectada (LIN), suporta codificação e decodificação do sinal de saída e entrada, respectivamente, para trabalhar com IrDA, e pode ser usado em modo SPI (*Serial Peripheral Interface*), apesar de ser o módulo de comunicações assíncronas. USCI_B suporta os modos SPI e I2C (*Inter-Integrated Circuit*) (TEXAS INSTRUMENTS, 2014).

Barramento Serial Universal (USB): O MSP430F5529 possui um módulo USB compatível com a especificação USB 2.0, com alta taxa de transmissão (12 Mbps) e transceptor USB integrado (PHY). O uso do módulo descarta a necessidade de acrescentar algum circuito externo para fazer a ponte UART-USB. A Texas Instruments fornece algumas ferramentas, drivers e API para auxiliar no desenvolvimento das classes de dispositivos USB CDC (Communications Device Class), HID (Human Interface Device) e MSC (Mass Storage Class). Os drivers CDC emulam uma porta COM física real, fazendo a porta USB aparecer na aplicação do computador como uma porta COM padrão. CDC usa transferências *bulk*, apresentando uma alta largura de banda, e requer instalação de driver no computador.

Joint Test Action Group (JTAG): o firmware do MSP430 é escrito em sua memória *flash*, que pode ser programada de algumas formas diferentes: através de interface

JTAG, por meio de *bootstrap loader* usando UART ou através de outras soluções menos usuais com UART, SPI, etc. A forma mais usada é por intermédio de interface JTAG (Jain, 2012). JTAG é o nome comum para o padrão IEEE 1149.1 (*Standard Test Access Port and Boundary-Scan Architecture*). O padrão foi, inicialmente, desenvolvido para especificar testes em placas de circuito impresso usando *boundary scan*: tecnologia que permite ler e atribuir valores em pinos sem acesso físico direto. Atualmente, o JTAG é usado para programar *firmware* e acessar sub-blocos de circuitos integrados para “debugar” o sistema (JAIN, 2012). A interface JTAG padrão requer quatro sinais para enviar e receber dados, a saber: TMS (*Test Mode Select*), TCK (*Test Clock*), TDI (*Test Data In*) e TDO (*Test Data Out*).

O microcontrolador MSP430F5529 suporta, além do padrão JTAG de 4 pinos, um padrão semelhante criado pela Texas Instruments, nomeado Spy-Bi-Wire (SBW), que utiliza apenas 2 pinos: SBWTDIO e SBWTCK, referente a um sinal bidirecional de dados e um sinal de clock, respectivamente. Em SBWTDIO trafegam os sinais equivalentes aos sinais TDI, TDO e TMS do padrão JTAG, multiplexados por divisão de tempo em 3 pulsos de clock. O kit de desenvolvimento do microcontrolador (*launchpad* MSP-EXP430F5529LP) inclui um emulador eZ-FET lite *onboard*, que faz a interface entre o computador e o microcontrolador, através de porta USB, estabelecendo um link JTAG para programação da memória *flash* e depuração do *firmware*. Além disso, o eZ-FET lite no *launchpad* provê a comunicação UART do lado do microcontrolador com o *host* USB. Tal funcionalidade é referenciada como aplicação UART, ou *Backchannel* UART, no guia do usuário do *launchpad*.

5.3 MÓDULO BLUETOOTH

O módulo bluetooth foi utilizado para possibilitar a comunicação entre um celular e o dispositivo EEG desenvolvido. Essa comunicação é necessária para que o usuário possa enviar comandos a fim de controlar a operação do dispositivo. Os comandos são listados na sessão 6.2, que relata sobre o aplicativo de celular utilizado. Bluetooth é um padrão global de comunicação por radiofrequência que conecta dispositivos em um curto alcance, é de baixo consumo, fácil uso e baixo custo. A comunicação entre dispositivos bluetooth forma uma rede *ad hoc* denominada *piconet*, que conecta de 2

a 8 dispositivos (BLUETOOTH SIG, 2015), sendo um mestre e os demais escravos. O bluetooth opera na banda de frequência ISM (*Industrial, Scientific, Medical*) de 2,4 GHz, variando entre 2400 e 2483,5 MHz, com 79 canais espaçados em 1 MHz. O sistema emprega um transceptor de “salto de frequência” (*frequency hop*) para combater interferências e atenuação, e fornece muitas portadoras FHSS (*Frequency-Hopping Spread Spectrum*) (BLUETOOTH SIG, 2015).

O módulo HC-06, utilizado neste trabalho para testar a comunicação do microcontrolador com um módulo bluetooth, utiliza a especificação 2.0 + EDR (*Enhanced Data Rate*) do bluetooth, lançada em 2004 com algumas melhorias em relação às versões anteriores, como diminuição do consumo de energia e até 3 vezes a velocidade de transmissão (3 Mb/s) devido à tecnologia EDR (KEWNEY, 2004). Entretanto, a especificação 2.0+EDR foi considerada depreciada a partir de 2012. A 4.0, apresentada em 2010, introduziu uma nova tecnologia sem fio chamada BLE (*Bluetooth Low Energy*), também conhecida como *Smart Bluetooth*, com características de ultrabaixo consumo de potência, capacidade de ser executada por anos em uma bateria de célula tipo moeda padrão, baixo custo e interoperabilidade entre fabricantes de chip de silício (BLUETOOTH SIG, 2015), mas com reduzida taxa de transferência de dados. Apesar de utilizar a especificação 2.0+EDR, o HC-06 se comunica com o microcontrolador através de UART (*Universal Asynchronous Receiver/Transmitter*), o qual pode ser encontrado em vários módulos bluetooth 4.0, como o BLE 113 da Bluegiga Technologies e o PAN1720, da Panasonic. Dessa forma, e considerando a função do módulo empregada neste projeto, o módulo HC-06 pôde ser utilizado para a prototipação pretendida. Por padrão, o módulo é configurado com taxa de transferência serial de 9600 Mbps, mas permite alteração para outros valores por meio de comandos AT. O nome do dispositivo bluetooth, dado pelo fabricante, é “linvor” e senha “1234”.

Um módulo UART implementa uma comunicação serial com um sistema externo através de dois pinos: TX e RX. O bloco de circuito UART faz o intermédio entre dados paralelos e os dados seriais (figura 24). No lado da transmissão, o UART cria um pacote de bits e envia cada um através do pino TX em um tempo preciso (de acordo com a taxa de transmissão ou *baud rate*). O receptor recebe os bits através do pino RX na mesma frequência que o transmissor envia e conhece a direção de

transferência dos bits: LSB (*Least Significant Bit*) ou MSB (*Most Significant Bit*) primeiro. Geralmente, na comunicação UART é usado o bit menos significativo primeiro (TEXAS INSTRUMENTS, 2014).

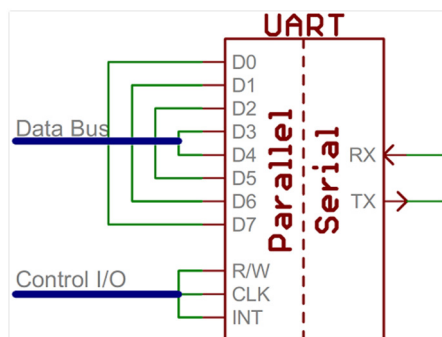


Figura 94 - UART simplificado: interface paralelo-serial e vice-versa.
Fonte: Google Imagens.

Como se trata de uma transmissão assíncrona, além da taxa de transmissão existem algumas sinalizações no pacote de bits que contribuem para a robustez da transferência dos bits entre dispositivos. O formato do pacote (figura 25) consiste de um bit de início, sete ou oito bits de dados, um bit de paridade, um bit de endereço (no modo de bit de endereço) e um ou dois bits de parada (TEXAS INSTRUMENTS, 2014).

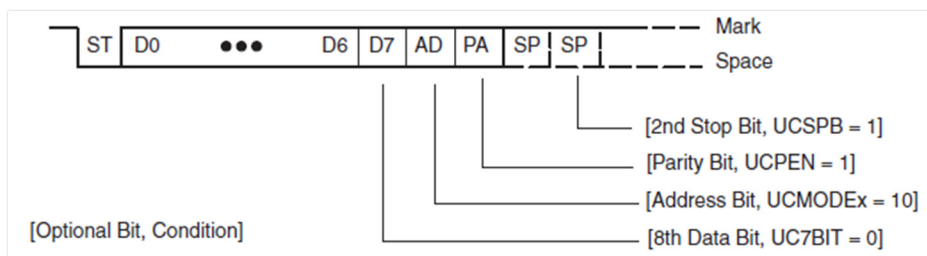


Figura 105 - Formato dos caracteres UART.
Fonte: (TEXAS INSTRUMENTS, 2014)

5.4 CARTÃO DE MEMÓRIA

O cartão de memória SDC (SD Card ou *Secure Digital Card*) é um dispositivo removível de armazenamento em memória *flash* usado em diversos dispositivos eletrônicos portáteis. O padrão SD foi projetado e licenciado pela SD Card Association (Panasonic, SanDisk Corporation e Toshiba Corporation), como uma evolução ao padrão MultiMediaCard (MMC), com especificações sobre a forma do cartão, camada

física, performance de escrita, entre outras. Os SD Cards possuem a característica de baixo consumo - não mais que 100 mA para escrita ou leitura, operando na frequência padrão até 25 MHz (SANDISK, 2007) -, são relativamente simples, de longa duração, de baixo custo e são pequenos, havendo 3 variações de tamanho: SD, mini SD e micro SD.

A tabela de alocação de arquivo (FAT) é o nome de uma arquitetura de sistema de arquivos. Com a evolução dos drives de disco, diferentes versões do formato FAT foram criadas, as quais foram nomeadas com o número de bits para endereçamento dos dados: FAT12, FAT16 e FAT32. A maioria dos SD Cards são pré-formatados com uma ou mais partições MBR (*Master Boot Record*), onde a primeira ou única partição contém o sistema de arquivos, podendo ser qualquer variação da formatação FAT (WALLACE, 2012). A unidade básica de alocação do FAT é denominada *cluster* e corresponde, geralmente, a um conjunto de setores de 512 bytes. No FAT32, o tamanho padrão de um *cluster* em um volume entre 256 MB e 8GB é 4 KB (MICROSOFT, 2015). Cada arquivo aloca a quantidade de *clusters* necessária para seu armazenamento. Espaços vazios em *clusters* já alocados por arquivos não podem ser compartilhados com arquivos diferentes.

Há 3 modos de transferência de dados definidos para os cartões SD: SPI, 1-bit SD e 4-bit SD (SD ASSOCIATION, 2001). A sequência de inicialização, identificadores dos comandos e formato dos *frames* são diferentes entre o modo SPI e os modos 1-bit SD e 4-bit SD. A definição dos pinos para cada modo pode ser observada na tabela 10. Considerando a utilização do modo SPI (figura 26), a configuração apropriada para controlar o SDC é o modo 1 (CPOL = 0 e CPHA = 0). A comunicação com o dispositivo é, basicamente, um protocolo comando-resposta, no qual todos os comandos são iniciados pelo mestre (em específico, o microcontrolador MSP430). O SDC responde a um comando com um *frame* de resposta e, dependendo do comando recebido, envia em seguida um ou mais pacotes de dados que consistem de um *token*, um bloco de dados e o CRC.

Formato do Cartão			Modo de Transferência						
SD	MiniSD	MicroSD	4-bit SD		1-bit SD		SPI		
1	1	2	CD/DAT3	<i>Data line 3</i>	NC	<i>Not Used</i>	CS	<i>Card select</i>	
2	2	3	CMD	Command	CMD	<i>Command</i>	DI	<i>Data input</i>	
3	3	X	VSS1	Ground	VSS1	<i>Ground</i>	VSS1	<i>Ground</i>	
4	4	4	VDD	Supply	VDD	<i>Supply</i>	VDD	<i>Supply</i>	
5	5	5	CLK	Clock	CLK	<i>Clock</i>	SCLK	<i>Clock</i>	
6	6	6	VSS2	Ground	VSS2	<i>Ground</i>	VSS2	<i>Ground</i>	
7	7	7	DAT0	<i>Data line 0</i>	DATA	<i>Data line</i>	DO	<i>Data output</i>	
8	8	8	DAT1	<i>Data line 1</i>	IRQ	<i>Interrupt</i>	IRQ	<i>Interrupt</i>	
9	9	1	DAT2	<i>Data line 2</i>	RW	<i>Read Wait</i>	NC	<i>Not Used</i>	
X	10	X	NC	<i>Not Used</i>	NC	<i>Not Used</i>	NC	<i>Not Used</i>	
X	11	X	NC	<i>Not Used</i>	NC	<i>Not Used</i>	NC	<i>Not Used</i>	

Tabela 21 - Definição dos pinos para os diferentes formatos.

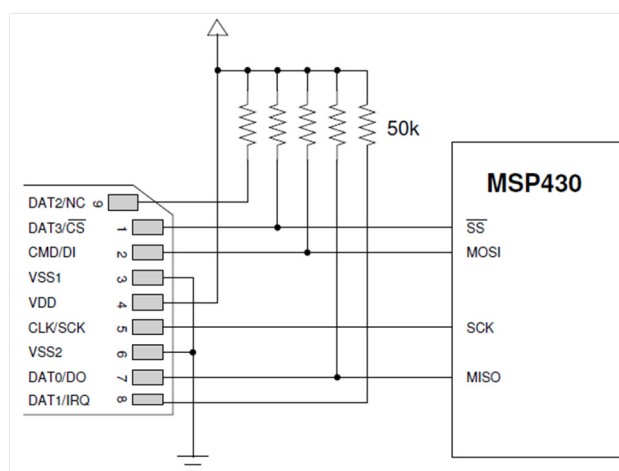


Figura 116 - Conexão de pinos entre o MSP430 e o SD Card.
Fonte: Google Imagens.

6. SOFTWARES AUXILIARES E INTERAÇÃO COM O USUÁRIO

A seguir serão descritos os dois *softwares* de terceiros utilizados neste trabalho para possibilitar a interface com o usuário.

BrainBay: O BrainBay é um software open-source, iniciado em 2003 por Christoph Veigl e Jeremy Wilkerson, como parte do projeto OpenEEG, para aquisição de dados, visualização e processamento de sinais, dentre outras finalidades. O Brainbay foi inicialmente desenvolvido para os *hardwares* dos projetos OpenEEG, ModularEEG e MonolithEEG. Entretanto, aos poucos foram sendo implementados novos protocolos de comunicação para aquisição de biosinais a partir de outras placas. O dispositivo de bancada desenvolvido neste trabalho se comunica com o *software* BrainBay através de uma porta COM virtual, utilizando o formato de dados OpenBCI V3. O pacote de dados é composto por 33 bytes, como segue na tabela 11.

Byte	Valor
0	0xA0
1	Contador de pacote
2-4	Canal 1
5-7	Canal 2
8-10	Canal 3
11-13	Canal 4
14-16	Canal 5
17-19	Canal 6
20-22	Canal 7
23-25	Canal 8
26-27	Acelerômetro – eixo x (não usado)
28-29	Acelerômetro – eixo y (não usado)
30-31	Acelerômetro – eixo z (não usado)
32	0xC0

Tabela 22 - Formato dos dados no OpenBCI V3.

S2 Terminal for Bluetooth: O aplicativo “S2 Terminal for Bluetooth” é um terminal para comunicação com dispositivos Bluetooth usando SPP(RFCOMM). Ele foi utilizado em um celular android para enviar comandos ao dispositivo EEG e receber as respostas correspondentes. Cada comando é representado por um único caractere, como segue:

- “t”: Iniciar a leitura contínua dos dados nos canais de entrada;
- “p”: Parar a leitura de dados nos canais;
- “e”: Ativar log de dados, armazenando-os no cartão de memória;
- “d”: Não salvar dados no cartão;
- “s”: Enviar dados pela porta USB;
- “n”: Não enviar dados pela porta USB.

O dispositivo retorna o caractere “k” quando recebe qualquer comando. Caso contrário, retorna o mesmo caractere recebido.

7. FIRMWARE

O firmware foi desenvolvido utilizando o ambiente de desenvolvimento Code Composer Studio, o qual reconhece o eZ-FET lite do *launchpad* como uma conexão a uma porta COM (virtual) no computador, devido ao *driver* “MSP430 DLL”.

O fluxo de funcionamento do firmware desenvolvido pode ser visualizado na figura 27. O objetivo dessa seção é apresentar tanto uma visão geral do programa, quanto alguns detalhes de implementação. É importante destacar que, no intento de simplificar, facilitar o entendimento e reduzir o tamanho dos códigos nos exemplos, algumas chamadas a funções implementadas no programa serão exibidas, apesar de não estarem explícitas as declarações dessas. O mesmo se aplica a algumas variáveis.

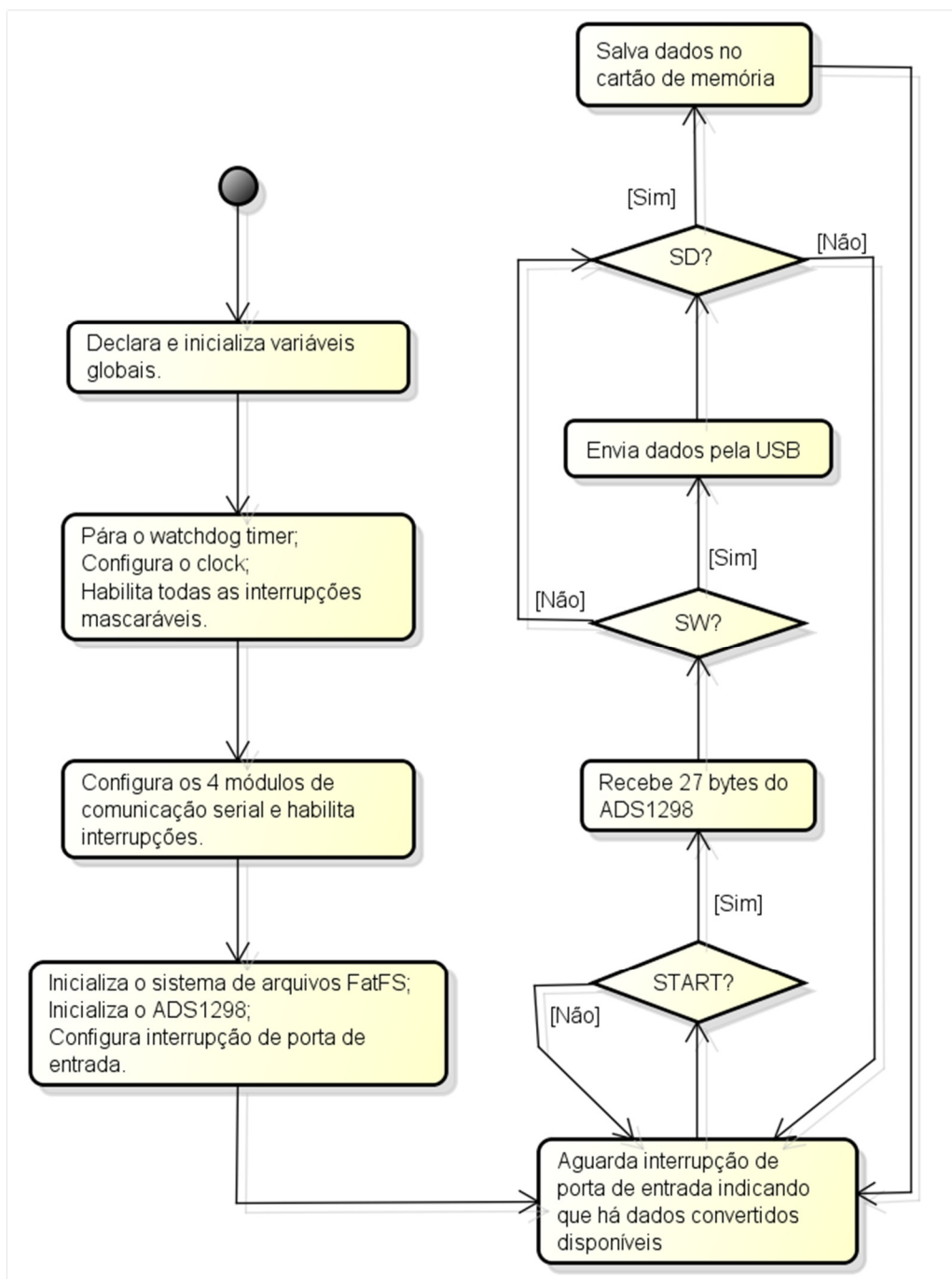


Figura 127 - Diagrama de sequência do sistema embarcado desenvolvido.

Como pode ser observado no diagrama, existem instruções executadas continuamente, a cada interrupção ocorrida. As ações contidas nesse diagrama estão descritas a seguir.

Variáveis globais: START, SW e SD são variáveis globais que dependem de comandos enviados pelo usuário através do aplicativo “S2 Terminal for Bluetooth”. Além dessas variáveis, estão os contadores de pacote, necessários para o envio dos dados ao Brainbay e a escrita no cartão de memória, o array de 33 bytes que guarda os dados lidos do ADS1298, entre outras.

Watchdog timer: O watchdog timer é controlado pelo registrador de 16 bits WDTCTL. Para evitar escritas acidentais, é necessário atribuir a senha WDTPW (0x5A) ao primeiro byte. O segundo contém os bits que controlam a operação do watchdog timer; WDTXOLD (0x80) desabilita-o.

WDTCTL = WDTPW + WDTXOLD;

Configuração do clock: a configuração dos sinais de clock é realizada através de funções disponibilizadas pela Texas Instruments na biblioteca driverlib, como parte do pacote MSP430Ware. As frequências do clock de sistema (MCLK) e clock de sub-sistema (SMCLK) foram configuradas em 8MHz a partir do DCO (*Digital Controlled Oscillator*). O código para isso, corresponde, primeiramente, à inicialização do sinal de clock de referência do FLL (*Frequency Locked Loop*) para 32768 Hz, selecionando o REFO (*Reference Oscillator*) como fonte do sinal. Em seguida, é chamada a função de inicialização do FLL que, após estabilizado, configura o DCO automaticamente para operar na frequência de 8MHz (múltiplo da frequência de referência do FLL) e atribui essa frequência aos sinais MCLK e SCLK.

```
UCS_clockSignalInit(UCS_BASE, UCS_FLLREF, UCS_REFOCLK_SELECT,
UCS_CLOCK_DIVIDER_1);
```

```
UCS_initFLLSettle(UCS_BASE, 8000000/1000, 8000000/32768);
```

Configuração dos módulos de comunicação serial: Os quatro módulos USCI disponíveis no MSP430F5529 foram utilizados, como segue:

- USCI_A0: utilizado para comunicação UART com o módulo bluetooth. Como recomendado no datasheet da família MSP430x5xx, antes de configurar a interface USCI, seus registradores são reiniciados através do bit USCWRST no registrador de controle da interface (UCA0CTL1). UCSSEL_2 seleciona o sinal de clock SMCLK para o periférico. UCA0BR0, UCA0BR1 e UCA0MCTL recebem valores que

dependem da frequência do clock e da taxa de transmissão (*baud rate*), podendo ser obtidos através de uma ferramenta online disponibilizada pela Texas Instruments [1], ou calculados através de fórmulas disponíveis no datasheet da família de microcontroladores. Após as configurações da interface, UCSWRST deve retornar a 0. A interrupção a cada chegada de dados no pino RX é habilitada através do bit UCRXIE no registrador UCA0IE. Dessa forma, o microcontrolador está habilitado para receber um comando do usuário a qualquer momento.

void set_UART_UCA0(void)

```
{
    P3SEL = BIT3+BIT4;           // P3.4,5 = USCI_A0 TXD/RXD

    UCA0CTL1 |= UCSWRST;         // **Put state machine in reset**

    UCA0CTL1 |= UCSSEL_2;        // SMCLK

    UCA0BR0 = 52;                // 8MHz 9600

    UCA0BR1 = 0;                 // 8MHz 9600

    UCA0MCTL = UCBRS_0+UCBRF_1+UCOS16; //ModIn UCBRSx=0,UCBRFx=1,over
sampling

    UCA0CTL1 &= ~UCSWRST;        // **Initialize USCI state machine**

    UCA0IE |= UCRXIE;            // Enable USCI_A0 RX interrupt

    __bis_SR_register(LPM0_bits + GIE); // Enter LPM0, interrupts enabled
}
```

- USCI_A1: inicializado como módulo UART para comunicação com o computador através da porta USB. O hardware que faz a conversão UART-USB é o eZ-FET Lite, apresentado na seção 5.3. O módulo foi configurado com sinal de clock SMCLK e velocidade de transmissão de dados igual a 115200 Mbps.

- USCI_B0: configurado no modo SPI para comunicação com o ADS1298. O microcontrolador funciona como mestre, fornecendo o sinal de clock, e o ADS1298 como escravo. Diferente da configuração para o modo UART, os registradores de controle da taxa de bits, UCB0BR0 e UCB0BR1, resultam em um valor de 16 bits que é o fator de divisão do sinal de clock do módulo. No código abaixo, o sinal de clock selecionado foi o SMCLK que, dividido por 4, ocasiona um clock com frequência de 2

MHz. Como especificado no datasheet do ADS1298, o modo SPI é o 1 (CPOL = 0 e CPHA = 1) e o bit mais significativo é sempre enviado primeiro.

void set_SPI_UCB0(void)

```
{
    P3SEL |= BIT0+BIT1;           // Set SPI peripheral bits

    P3SEL |= BIT2;

    P3DIR |= BIT0;                // Clock and DOUT as output

    P3DIR |= BIT2;

    P3DIR &= ~BIT1;              // Din as input

    UCB0CTL1 |= UCSWRST;         // Enable SW reset

    UCB0CTL0 |= UCMSB+UCMST+UCSYNC+UCCKPH; //Synchronous mode, 3-pin SPI, Master
mode, 8-bit data, MSB first, Clock polarity low, Clock phase high.

    UCB0CTL1 |= UCSSEL__SMCLK;    // SMCLK

    UCB0BR0 = 4;                 // Clock Divider

    UCB0BR1 = 0;                 //

    UCB0CTL1 &= ~UCSWRST;        // Clear SW reset, resume operation
}
```

- USCI_B1: é usado para comunicação SPI com o cartão de memória. Foi configurado o modo 0 do SPI (CPOL = 0 e CPHA = 0) e sinal de clock igual a 8MHz/63 (aprox. 127kHz).

Inicialização do Sistema de Arquivos FatFS: O módulo de sistema de arquivos FatFs é um *middleware*, escrito em ANSI C (C89), para pequenos sistemas embarcados. Arquivos de código e documentação estão disponíveis para download no site do projeto [2]. A figura abaixo exhibe o diagrama de dependência da configuração típica de um sistema embarcado que usa o módulo FatFs.

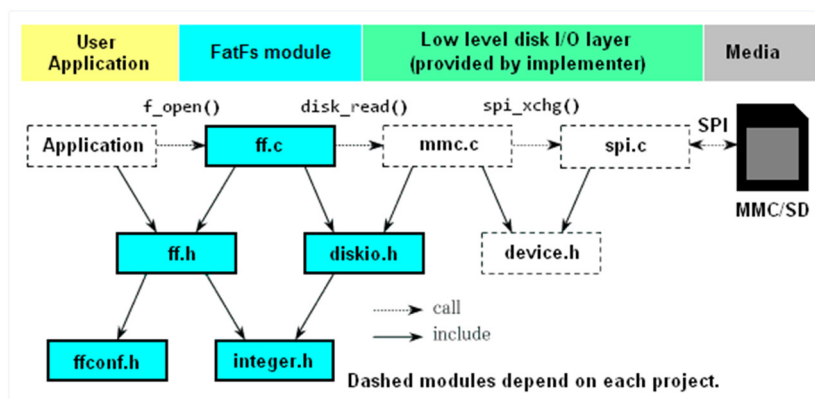


Figura 138 - Configuração típica de um sistema embarcado que utiliza o módulo FatFS.

Fonte: (< <http://elm-chan.org/fsw/ff/en/appnote.html>>, acesso em 10 nov. 2015)

De modo geral, para acessar um dispositivo FAT utilizando o módulo FatFs, basta utilizar as funções para inicialização, escrita, leitura e etc fornecidas pela API e configurar a interface SPI para transferência de dados. Todas as funções da API retornam um código indicando se a operação requisitada foi executada com sucesso. Para utilizar as funções de gerenciamento de diretórios e arquivos é necessário criar um objeto do sistema de arquivos, ou seja, criar a área de trabalho para a unidade lógica. Essa operação é realizada chamando a função `f_mount()`.

Inicialização do ADS1298: A inicialização do ADS1298 segue o procedimento recomendado para configuração básica de captura de dados (figura 20).

```
void initADS(){
    // RECOMMENDED POWER UP SEQUENCE

    // clkssel = 1

    // wait for oscillator to wakeup

    delay_ms(50);

    // set pins

    P1DIR |= ADS_START; P1OUT &= ~ADS_START;

    P2DIR |= ADS_RST;   P2OUT |= ADS_RST;

    P1DIR |= ADS_PWDN; P1OUT |= ADS_PWDN;

    P1DIR |= ADS_SS;    P1OUT |= ADS_SS;
```

```

P1DIR &= ~ADS_DRDY;

// wait tpor for power-on reset and vcap
delay_ms(1000);

// issue reset pulse
P2OUT &= ~ADS_RST;

delay_us(4);

P2OUT |= ADS_RST;

// wait for 18 tclk
delay_us(20);

// send SDATAC command
SDATAC();

delay_ms(1);

// write registers
WREGS(0x01,0x18);

// wait internal reference to settle
delay_ms(100);

// read register settings
RREGS(0x00,0x19);

delay_ms(10);

// set START = 1
START();

// send RDATAC command
RDATAC();

// wait
delay_ms(100);

// ready to capture data continuously
}

```

Os valores escritos nos registradores estão contidos no vetor declarado abaixo. O primeiro elemento do vetor corresponde ao valor escrito no endereço 0x01, o segundo corresponde ao valor no endereço 0x02, e assim por diante até 0x19. O endereço 0x00 é somente leitura e se refere ao identificador do ADS1298. O único valor diferente do padrão é o que corresponde ao registrador CONFIG3 (endereço 0x03) por ativar o circuito de referência interna.

```
const char regSettings[25] = { 0x06, 0x00, 0xC0, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00,  
                                0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x0F, 0x00, 0x00, 0x00, 0x00, 0x00 };
```

Interrupção de porta de entrada: A porta de entrada que recebe o sinal DRDY do ASD1298 foi configurada para gerar interrupção a cada borda de descida do sinal. Desse modo, como o ADS1298 foi configurado para a taxa de saída de dados de 250 amostras por segundo, a interrupção ocorre a cada 4 ms.

Captura de dados: Uma vez recebido do usuário o comando de início do processo de captura de dados, os dados são lidos do ADS1298 a cada interrupção gerada pelo pulso DRDY em uma porta de entrada do microcontrolador. Dependendo das variáveis de configuração SW e SD, modificadas pelo usuário, os dados resgatados são também enviados ao BrainBay e salvos no cartão de memória.

```
if (STARTT) {  
  
    updateChannelData();           // get ADS channels data.  
  
    if (SW) sendADSdata();         // send channels data to brainbay.  
  
    if (SD) writeADSdata();        // write the channel data on sdcard.  
  
}
```

O código abaixo corresponde à leitura dos 27 bytes que contém dados dos 8 canais do ADS1298 (3 bytes por canal) bem como o status do dispositivo (3 bytes), por meio da interface de comunicação USCI_B0. Como explicado anteriormente, na comunicação SPI há sempre um envio realizado pelo dispositivo mestre (microcontrolador) e consequente retorno do escravo (ADS1298), ainda que apenas em uma das direções haja dado útil.

```

char i = 0;

char bit27ADSdata[27];

char size = 27;

char DUMMY_CHAR = 0Xff;

UCB0IFG &= ~UCRXIFG;           // Ensure RXIFG is clear

for (i = 0; i < size; i++) {

    while (!(UCB0IFG & UCTXIFG));

    UCB0TXBUF = DUMMY_CHAR;      // dummy write

    while ((UCB0IFG & UCRXIFG) == 0); // wait for transfer to complete

    bit27ADSdata[i] = UCB0RXBUF;

}

```

Envio de dados pela USB: Antes de enviar os dados pela USB, os bytes recebidos do ADS são guardados no vetor de bytes que contém todos aqueles que precisam ser enviados ao BrainBay (como explicado na sessão 6.1) e na ordem necessária, de acordo com o protocolo OpenBCI V3, para comunicação com o software. Após isso, byte a byte é enviado através da interface de comunicação USCI_A1 configurada como UART.

```

uint8_t i = 0;

// Write each byte in buf to USCI TX buffer, which sends it out

while (i < 33)

{

    UCA1TXBUF = *(data+(i++));

    // Wait until each bit has been clocked out...

    while(!(UCTXIFG==(UCTXIFG & UCA1IFG))&&((UCA1STAT & UCBUSY)==UCBUSY));

}

```

Escrita no cartão de memória: Salvar os dados no cartão de memória envolve a criação de um arquivo com extensão “txt” no sistema de arquivos do dispositivo e a edição de seu conteúdo. O formato OpenBCI V3 foi utilizado para organizar os dados

no arquivo (figura 29). Cada byte, que seria transferido ao cartão, foi convertido em 16 bits cuja representação em símbolos ASCII remete ao byte original no formato hexadecimal. As duplas de caracteres foram separados por um espaço em branco e as amostras separadas por “\r\n”. Desse modo, cada amostra gravada no cartão tem 100 bytes: $2 * 33 + 32 \text{ (espaços)} + 2 \text{ (\r\n)} = 100$.

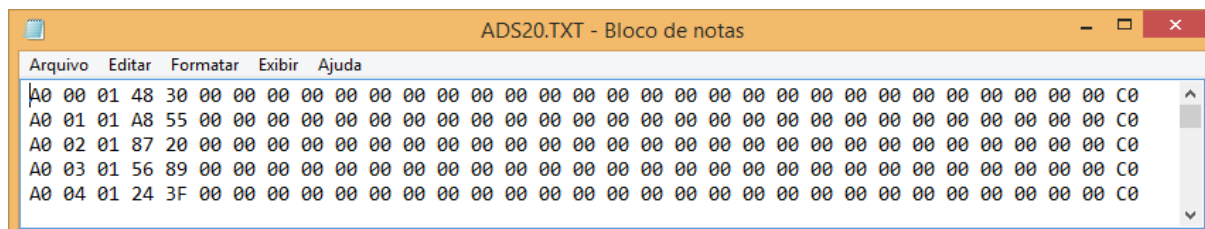


Figura 149 - Caracteres escritos em arquivo no cartão de memória.

Para gravar dados no cartão de memória, 5 funções da API do módulo FatFs foram utilizadas:

- `f_open` – cria um objeto de arquivo para acessar o arquivo especificado que, caso não exista, é criado.
- `f_size` – obtém o tamanho de um arquivo.
- `f_lseek` – move o ponteiro de leitura/escrita de um objeto de arquivo aberto.
- `f_write` – escreve dados em um arquivo.
- `f_close` – fecha um arquivo aberto.

Antes de escrever dados no arquivo, ele é aberto (se fechado) e o ponteiro de escrita movido para o final do arquivo (funções `f_open` e `f_lseek`, respectivamente). Cada espaço em disco referente a uma amostra (100 bytes) é alocado através da função `f_write`. No entanto, somente após fechar o arquivo (função `f_close`), os dados são, de fato, salvos na memória *flash*. Essa estratégia de gravação apenas quando o arquivo é fechado (não explicitada na documentação da API) é bastante favorável, pois permite que um bloco de dados com tamanho considerável seja preparado para, então, efetuar a gravação no dispositivo, uma vez que a operação de gravação é bastante onerosa. Observou-se na prática que, em geral, o fechamento de arquivo demanda um tempo de 20 ms: um tempo maior que o intervalo entre interrupções para obter amostras digitais dos sinais de EEG. Além disso, o número de transações de gravação afeta a vida útil dos cartões de memória *flash*. É recomendado que a

aplicação salve sempre a maior quantidade de dados possível. O tamanho ideal mínimo para um bloco de dados a ser escrito é o tamanho do *cluster* (ou unidade básica de alocação). Espaço adicional é “usado” quando os dados não tem tamanho múltiplo do tamanho do *cluster*.

O cartão utilizado neste trabalho tem um espaço máximo de 4GB e foi formatado com sistema de arquivos FAT32 e tamanho da unidade de alocação (*cluster*) igual a 32 bytes. A função `f_close` é chamada quando o máximo de 20160 amostras é atingido, resultando em 2016000 bytes (32*63000) gravados no cartão a cada 80,64 segundos, aproximadamente, considerando o intervalo entre amostras igual a 4 ms.

```
void saveBuffer() {
    if (numSamples >= 0 && fr == FR_OK) {
        if (numSamples == 0) {
            fr = open_append(&fil, "ads.txt");
        }
        if (fr == FR_OK) {
            fr = f_write(&fil, SDbuf, sizeof(SDbuf), &bw);
            //bw indicates the number of bytes written.
        }
        if (fr == FR_OK) {
            numSamples++;
            if (numSamples >= 20160 || bw < sizeof(SDbuf)) {
                fr = f_close(&fil);
                if (bw >= sizeof(SDbuf))
                    numSamples = 0;
                else
                    numSamples = -1;
            }
        }
    }
}
```

8. VALIDAÇÃO E RESULTADOS

O método de validação das diversas rotinas do protótipo tem por base a aplicação de um sinal conhecido nos canais do ADS1298, que possui características equivalentes aos de sinais eletrofisiológicos do cérebro, e subsequente visualização no BrainBay. Como o biosinal virtual possui baixa amplitude, existe a necessidade de isolar tal sinal de acoplamentos indesejáveis com o ambiente que possam causar distorções, evitando assim que o sinal recebido pelo BrainBay possua distorções significativas. Desse modo, descartando a possibilidade de usar um equipamento conectado à rede elétrica, pois as interferências elétricas se tornam imensas, optou-se em utilizar-se um microcontrolador programado para gerar apenas um sinal senoidal utilizando-se a técnica de modulação por largura de pulso (PWM). Desta forma, são obtidos senóides na frequência de 10 Hz e amplitudes em torno de 1 mV, isolados eletricamente da elétrica de 60 Hz. Para construir o sinal senoidal a partir do sinal PWM, utilizou-se um filtro passa-baixa na saída do microcontrolador, acompanhado de um divisor de tensão para se chegar a uma baixa amplitude de sinal. O esquema do circuito pode ser visualizado na figura 30.

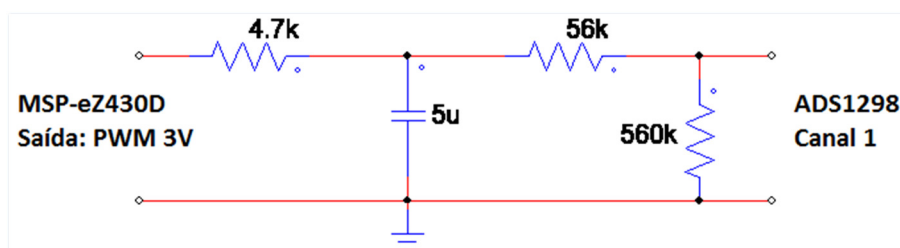


Figura 3015 - Circuito para geração de sinal senoidal 10 Hz.

Assim, obteve-se o sinal senoidal da figura 31.

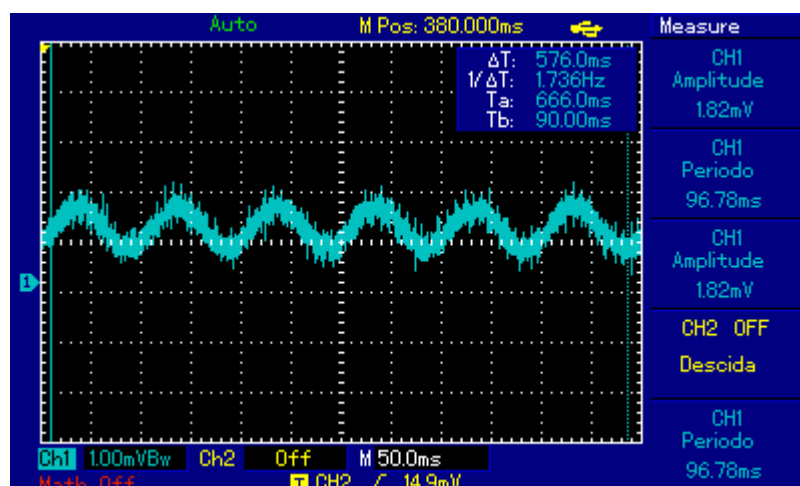


Figura 161 - Sinal de teste conectado aos canais do ADS1298.

O sinal digital correspondente, recebido no BrainBay, pode ser visualizado na figura 32, a qual exibe o gráfico temporal do sinal, acompanhado de um gráfico de barras referente ao seu espectro de frequências, com resultados esperados. Além disso, pôde-se observar que os pacotes de dados chegavam ao *software* a uma taxa de 250 pacotes por segundo, dada a taxa de saída de dados configurada para o ADS1298. Nos momentos de gravação no cartão de memória, entretanto, essa taxa variava um pouco (reduzia e retornava rapidamente).

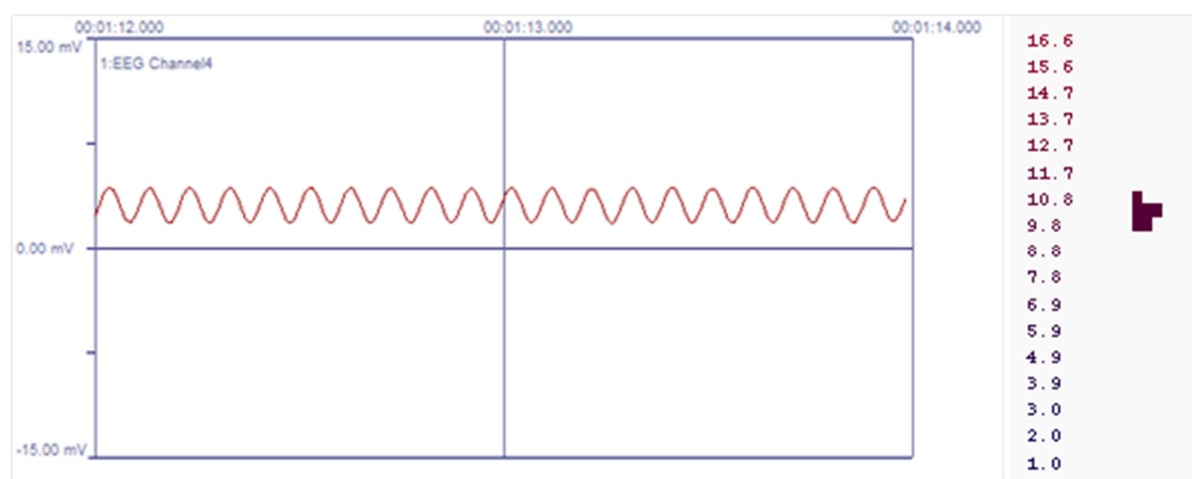


Figura 172 - Sinal de teste visualizado no BrainBay.

Uma vez testado o sistema, quanto à aquisição e exibição apropriada de sinais quaisquer de baixa amplitude, eletrodos descartáveis e conectores, como os da figura 33, foram utilizados para adquirir biosinais reais. No entanto, algumas vezes, os sinais apresentavam muitas interferências, impossibilitando a obtenção do sinal esperado. Por isso, foi acrescentado no *software* (figura 34) um filtro passa-faixa *Butterworth* de 8ª ordem, com faixa de frequência entre 0,5 e 40Hz. Além disso, como o módulo EEG é alimentado através de porta USB conectada ao notebook, foi fundamental desconectar o notebook da rede elétrica.



Figura 183 - Eletrodo e conectores utilizados.
Fonte: Google Imagens.

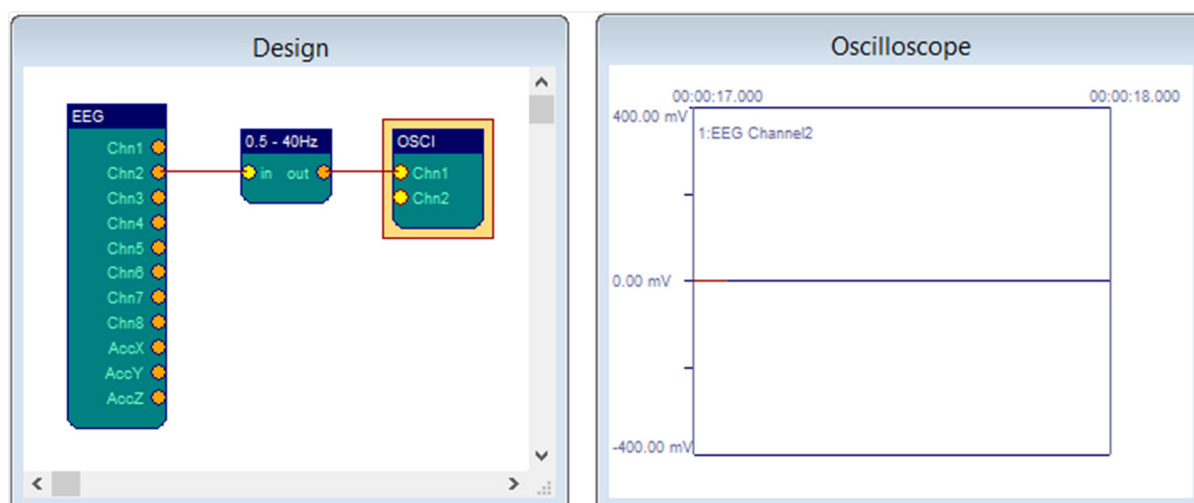


Figura 194 - Configuração básica do BrainBay para exibição de biosinal real em um canal de entrada.

O primeiro biosinal adquirido foi o sinal de Eletrocardiograma (figura 35), o qual apresenta maior potencial elétrico comparado ao EEG. Para isso, eletrodos diferenciais foram colocados nos pulsos e conectados às entradas positiva e negativa

de um canal do módulo. O sinal obtido pode ser observado na figura 36, na qual os picos relativos aos batimentos cardíacos estão assinalados.



*Figura 35 - Sinal característico de ECG (Eletrocardiograma).
Fonte: Google Imagens.*

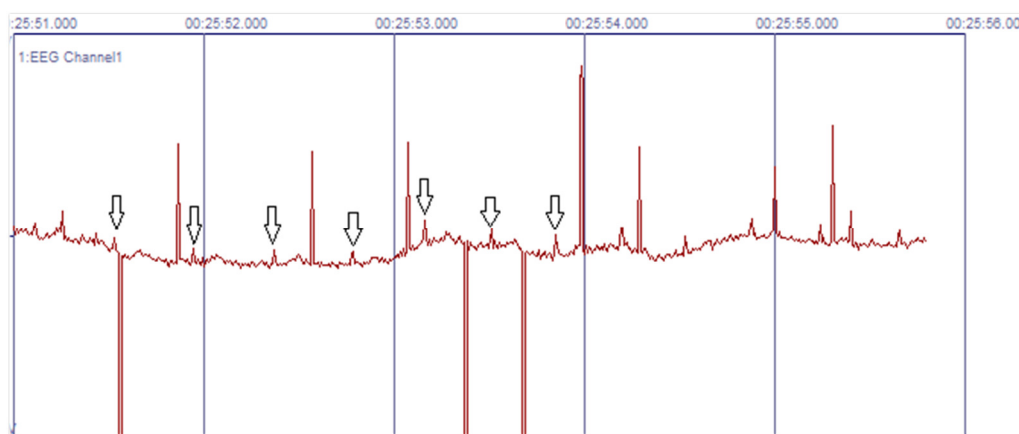


Figura 36 - Sinal obtido com os eletrodos nos pulsos.

Para a aquisição dos sinais eletroencefalográficos, os pares de eletrodos foram posicionados nas regiões Fp1 e F7 (figura 37 – gráfico superior), e Fp2 e F8 (figura 37 – gráfico inferior), de acordo com a nomenclatura do sistema 10-20.

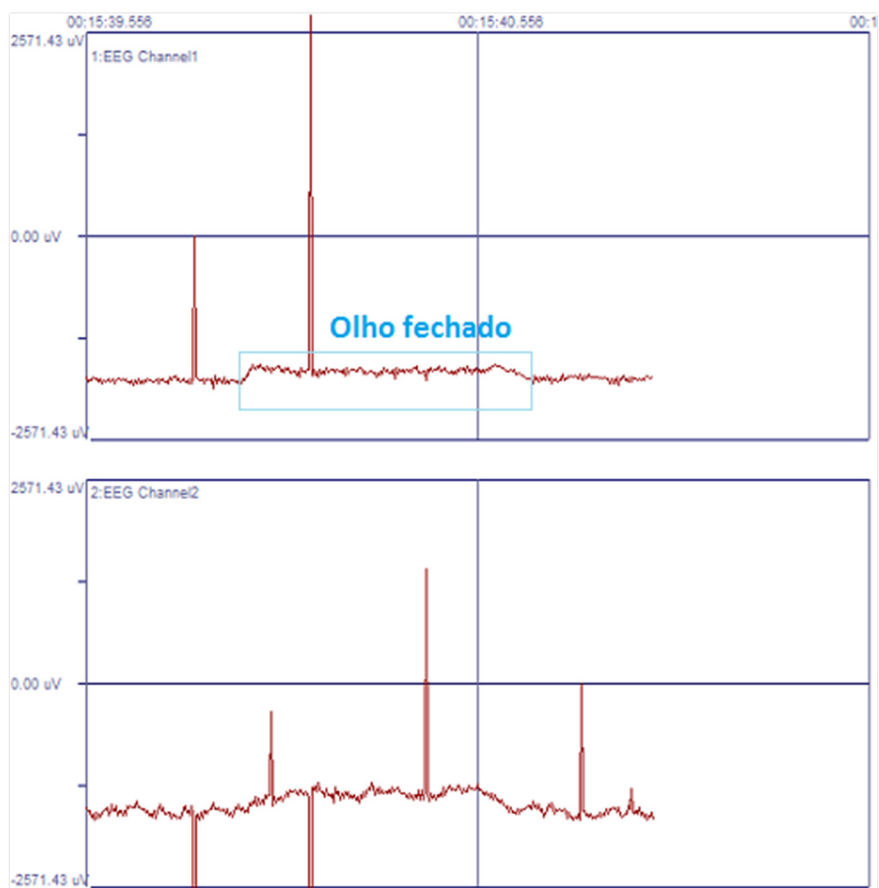


Figura 37 - EEG obtido com os pares de eletrodos diferenciais nas regiões Fp1 e F7 (gráfico superior) e Fp2 e F8 (gráfico inferior).

9. PROPOSTA FUTURA

O trabalho realizado permitiu observar o funcionamento inicial de um amplificador de biopotenciais de baixo custo, baseado no chip ADS1298 da empresa Texas Instruments, com funcionalidades adicionais de *data logger* e de comunicação sem fio por intermédio de um módulo bluetooth. A partir deste protótipo, pretende-se estabelecer uma configuração mais apropriada à isolação da rede elétrica e realizar inúmeros testes e ajustes para tornar possível a captura de sinais fisiológicos com a qualidade e resolução compatíveis com as descrições do ADS1298. Por sua vez, a fase de estudo/pesquisa e prototipagem de um novo produto é de fundamental importância não somente por demonstrar seu funcionamento, mas por expor as limitações do projeto inicial e evidenciar novas possibilidades. Haja vista os resultados alcançados na realização deste trabalho, observa-se alguns possíveis avanços, abaixo descritos:

Filtro de 60 Hz na placa de aquisição: Como o sistema é muito sensível a interferências de 60 Hz, existe a necessidade de adicionar, posteriormente, um circuito de filtro *notch* 60 Hz.

Maior rejeição ao sinal de modo comum: uma maior CMRR (*Common-mode rejection ratio*) pode ser alcançada através de algumas alternativas, dentre elas pode-se citar o uso da circuitaria RLD (*Right Leg Drive*) disponível no próprio chip ADS1298.

Processamento dos sinais: algum processamento dos sinais obtidos pode ser realizado para remover artefatos ainda existentes e prover informações sobre o estado do usuário, assim contribuindo para o desenvolvimento de aplicações para diversas finalidades, como diagnóstico, monitoramento de pacientes, neuroterapia, próteses neurais, etc. Algoritmos da Teoria de Controle, Teoria da Informação, Análise de Agrupamentos, entre outros, poderiam ser utilizados nesse sentido.

Acelerômetro: Seria interessante adicionar um acelerômetro no dispositivo para se ter informações sobre a atividade motora do paciente.

Deteção de desconexão de eletrodos: Implementar a detecção de eletrodo desconectado é importante, pois pode evitar longos períodos sem registros de EEG se houver alertas ao usuário.

Miniaturização: A proposta de miniaturização do módulo EEG, com o objetivo de torná-lo compacto e portátil, apresenta as seguintes características:

Função	Utilizado no Protótipo	A ser utilizado na placa final
Amplificador de biopotenciais	CI ADS1298	CI ADS1298. Preço unitário: \$ 26,94.
Log de dados	Adaptador para micro SD	Socket para micro SD. Preço: \$ 1,20.
Comunicação com dispositivo externo	Módulo bluetooth HC-06	Módulo bluetooth BLE 113. Preço: \$ 11,54.
Microcontrolador	MSP430F5529	MSP430F5529. Preço: \$ 7,67.
Programação do microcontrolador	Circuito eZ-FET Lite no <i>launchpad</i> .	Circuito eZ-FET Lite no <i>launchpad</i> , com conexão à placa EEG através dos 2 pinos Spi-Bi-Wire (SBWTDIO e SBWTCK).
Transmissão dos sinais digitalizados	Conversor UART-USB através do eZ-FET Lite (<i>Backchannel UART</i>)	Conversor UART-bluetooth que compõe o módulo bluetooth BLE113.
Energização	Porta USB	Bateria de célula tipo moeda. Ex: CR2032.
Configuração	Via bluetooth por aplicativo de celular	Via bluetooth por aplicativo de celular.
Visualização dos sinais	BrainBay através de porta COM emulada de uma conexão USB	Aplicativo de celular conectado via bluetooth ou BrainBay através de porta COM emulada de uma conexão bluetooth.

Tabela 23 - Características do dispositivo EEG miniaturizado. Os preços apresentados para alguns componentes foram consultados na Mouser Electronics em 10/12/15.

10. CONSIDERAÇÕES FINAIS

Este trabalho permitiu desenvolver um protótipo de um dispositivo de eletroencefalograma com características de bom desempenho, baixo custo e capacidade de armazenar internamente os valores dos sinais obtidos, bem como transmiti-los. Tendo em vista esses principais objetivos, pode-se dizer que os resultados foram satisfatórios. Além disso, com este projeto foi possível adquirir o *know-how* acerca de implementação de sistema microcontrolado com utilização do microcontrolador MSP430, uso do ADS1298 e medição de biopotenciais, gravação em cartão de memória e comunicação serial com variados dispositivos eletrônicos. O uso do CI ADS1298 e o armazenamento interno dos valores dos sinais obtidos são os grandes diferenciais deste trabalho em relação a grande maioria dos trabalhos relacionados ao desenvolvimento de módulos de amplificação e registro de sinais eletroencefalográficos.

Inúmeros testes de bancada ainda necessitam ser realizados com o protótipo para se obter um sistema robusto e adequado para a utilização em pacientes, dentre os quais pode-se citar: testes de gravação de longos registros, recuperação do sistema após falha de comunicação, testes de fidelidade dos sinais obtidos em relação aos esperados para um registro eletroencefalográfico, definição de um formato final para os dados, entre outros. Além disso, os avanços descritos na sessão anterior também são bastante pertinentes, principalmente os relacionados ao tratamento de interferências, incluindo a miniaturização do dispositivo, uma vez que circuitos em *protoboards* são bastante passíveis de problemas diversos. A intenção é que os dispositivos eletrônicos selecionados e o *firmware* desenvolvido neste trabalho contribuam para um dispositivo EEG posterior, que além de apresentar as características de desempenho do protótipo, seja compacto e portátil, podendo ser amplamente utilizado.

REFERÊNCIAS

[1] http://processors.wiki.ti.com/index.php/USCI_UART_Baud_Rate_Gen_Mode_Selection

[2] http://elm-chan.org/fsw/ff/00index_e.html

ABC.MED.BR, 2013. **Eletroencefalograma: como é feito? Como se preparar para o exame? Quais são as complicações?**. Disponível em: <<http://www.abc.med.br/p/exames-e-procedimentos/347519/eletroencefalograma-como-e-feito-como-se-preparar-para-o-exame-quais-sao-as-complicacoes.htm>>. Acesso em: 13 nov. 2015.

BAKER, Bonnie. **How delta-sigma ADCs work, Part 1**. Analog Applications Journal (3Q 2011). Dallas: Texas Instruments Incorporated, 2011.

BAKER, Bonnie. **How delta-sigma ADCs work, Part 2**. Analog Applications Journal (4Q 2011). Dallas: Texas Instruments Incorporated, 2011.

BLUETOOTH SIG, 2015. **Architecture – Overview of Operations**. Disponível em: <<https://developer.bluetooth.org/TechnologyOverview/Pages/OverviewOfOperations.aspx>>. Acesso em: 05 dez. 2015.

BLUETOOTH SIG, 2015. **Bluetooth Core Specification**. Disponível em: <<https://developer.bluetooth.org/TechnologyOverview/Pages/core-specification.aspx>>. Acesso em: 05 dez. 2015.

BLUETOOTH SIG, 2015. **Bluetooth Technology Basics**. Disponível em: <<http://www.bluetooth.com/what-is-bluetooth-technology/bluetooth-technology-basics>>. Acesso em: 05 dez. 2015.

BOLTON, William. **Mecatrônica: Uma abordagem multidisciplinar**. 4 ed. Porto Alegre: Bookman, 2010.

BUTTON, Vera Lúcia da Silveira Nantes. **Principles of Measurement and Transduction of Biomedical Variables**. Campinas: Academic Press, 2015.

CABOCLO, Luís Otávio. **Bases da Eletroencefalografia**. 2013. Disponível em < <http://www.itarget.com.br/newclients/sbnc.org.br/arquivos/aulas/aula-5.pdf>>. Acesso em: 14 nov. 2015.

DAVIES, John H. **MSP430 Microcontroller Basics**. Glasgow: Newnes, 2008.

DEVASAHAYAM, Suresh R. **Signals and Systems in Biomedical Engineering: Signal Processing and Physiological Systems Modeling**. Bombay: Springer Science + Business Media, 2000.

FONSECA, Eduardo Augusto D.; LIMA, Luiz Alberto P. O Papel dos Conversores Sigma-Delta no Front-End dos Sistemas de Comunicação Digital. **Revista Digital: Comunicações Digitais & Tópicos Relacionados**. v. 5, agosto 2005. p. 18-19. Disponível em < http://www.revdigonline.com/revistas_download/revista_5.pdf> Acesso em: 19 nov. 2015.

GODOI, Antônio Carlos Bastos de. **Deteção de Potenciais Evocados P300 para Ativação de uma Interface Cérebro-Máquina**. 2010. 112f. Dissertação (Mestrado em Engenharia) – Departamento de Engenharia de Sistemas Eletrônicos, Escola Politécnica da Universidade de São Paulo, São Paulo, 2010.

IAIONE, Fábio. **Proposta e Implementação de Metodologia para Detecção de Hipoglicemia Baseada na Análise e Classificação do Eletroencefalograma**. 2003. 162f. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal de Santa Catarina, Florianópolis, 2003.

JAIN, Ankit. **Low Cost Instrumentation and Interface for Neural Recordings**. 2012. 94f. Dissertação (Mestrado em Engenharia Elétrica) – The Graduate School, The Pennsylvania State University, University Park, 2012.

KAISER, David A. Basic Principles of Quantitative EEG. **Journal of Adult Development**, v. 12, n. 2/3, p. 01, agosto 2005.

KEWNEY, Guy. **High speed Bluetooth comes a step closer: enhanced data rate approved**. 2004. Disponível em: <<http://www.newswireless.net/index.cfm/article/629>>. Acesso em: 05 dez. 2015.

LITOVSKY, Gustavo. **Beginning Microcontrollers with the MSP430 tutorial**, v0.4, 2012. Disponível em: <http://www.glitovsky.com/Tutorialv0_4.pdf>. Acesso em: 04 dez. 2015.

LOPES, Carla Diniz. **Análise de Sinais de EEG Utilizando a Transformada Wavelet Discreta e as Redes Neurais Artificiais**. 2005. 96f. Dissertação (Mestrado em Engenharia Elétrica) – Escola de Engenharia, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2005.

LOUIS, E; FRENZEL, Jr. **Fundamentos de Comunicação Eletrônica: Modulação, Demodulação e Recepção**. 3 ed. AMGH Editora Ltda., 2013.

MALMIVUO, J.; PLONSEY, R. **Bioelectromagnetism: Principles and Applications of Bioelectric and Biomagnetic Fields**. New York: Oxford University Press, 1995.

MICROSOFT, 2015. **Default cluster size for NTFS, FAT, and exFAT**. Disponível em: <<https://support.microsoft.com/en-us/kb/140365>>. Acesso em: 06 dez. 2015.

NICOLELIS, Miguel. **Muito Além do Nosso Eu: A nova neurociência que une cérebro e máquinas - e como ela pode mudar nossas vidas**. São Paulo: Companhia das Letras, 2011.

PACHECO, Roberto Vargas. **Sistema para Gerenciamento e Processamento de Sinais Eletroencefalográficos**. Monografia (Bacharelado em Informática) – Instituto de Física e Matemática, Universidade Federal de Pelotas, Pelotas, 1999.

PARK, Sangil. **Motorola Digital Signal Processors: Principals of Sigma-Delta Modulation for Analog-to-Digital Converters**, APR8/D, Rev. 1. USA: Motorola Inc., 1990.

PAULINO, Juliano Alberto. **Implementação de um core compatível com o MSP430 para FPGA**. Monografia (Graduação em Engenharia Elétrica com ênfase em Eletrônica) – Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2012.

RANIEL, Thiago. **Desenvolvimento e Implementação de um Sistema de Controle de Posição e Velocidade de uma Esteira Transportadora usando Inversor de Frequência e Microcontrolador**. 2011. 127f. Dissertação (Mestrado em Engenharia Elétrica) – Faculdade de Engenharia de Ilha Solteira, Universidade Estadual Paulista, Ilha Solteira, 2011.

SANDISK. **SanDisk SD Card Product Family: OEM Product Manual**, v2.2, n. 80-36-00497. Milpitas: Sandisk Corporation, 2007. 40p.

SD ASSOCIATION. **Secure Digital Input/Output (SDIO) Card Specification: Simplified Version of Part E1**, v1.00. Hollister: SD Association, 2000, 2001.

TAVARES, Maurício Campelo. **EEG e Potenciais Evocados – Uma Introdução**. 2011. Disponível em: <http://www.contronic.com.br/artigos/eeg_e_potenciais_evocados_uma_introducao>. Acesso em: 14 nov. 2015.

TEXAS INSTRUMENTS. **Low Power, 8-Channel, 24-Bit Analog Front-End for Biopotential Measurements**: Check for samples ADS1294, ADS1294R, ADS1296, ADS1296R, ADS1298, ADS1298R. USA: Texas Instruments, 2014. 91p.

TEXAS INSTRUMENTS. **MSP430xx5xx and MSP430x6xx Family: User's Guide**. USA: Texas Instruments Inc., 2014.

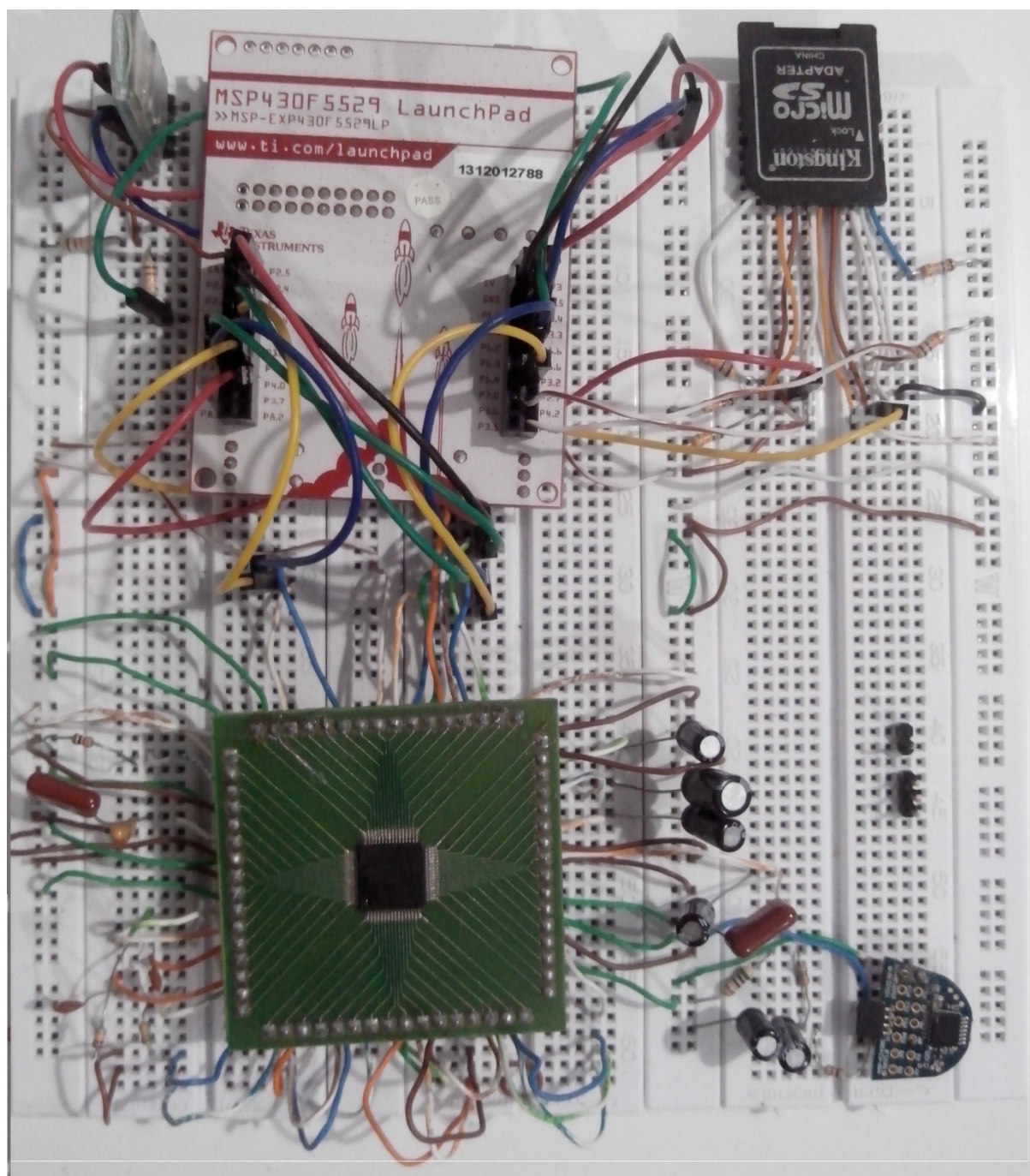
TEXAS INSTRUMENTS. **MSP-EXP430F5529LP LaunchPad Development Kit: User's Guide**. USA: Texas Instruments Inc., 2014.

TYNER, Fay S. **Fundamentals of EEG Technology**: Volume 1: Basic Concepts and Methods. New York: Raven Press, 1983.

WALLACE, Lee R. **Interfacing a MSP430 with an SD Card: Fat32 Format**. 2012. Disponível em: <http://www.add.ece.ufl.edu/4924/docs/MSP430_SD.pdf>. Acesso em: 04 dez. 2015.

WEBSTER, John G. **The Physiological Measurement Handbook**. Madison: Taylor & Francis Group, 2015.

APÊNDICE 1 – PROTÓTIPO MONTADO



APÊNDICE 2 – ESQUEMA DE CONEXÕES DOS COMPONENTES COM OS PINOS DO LAUNCHPAD

